

В.Л. Шило

ПОПУЛЯРНЫЕ МИКРОСХЕМЫ КМОП

Справочник

СЕРИИ:

K176, K561, 564, КР1561, 1564

ОГЛАВЛЕНИЕ

Микросхемы : зарубежные - отечественные	4
Как найти микросхему ?	5
Мнемонические обозначения	6
1. Логический элемент	8
2. Микросхемы И, $\bar{И}$, ИЛИ, Z, «Искл. ИЛИ»	12
3. Микросхемы с инверторами и преобразователями уровня	18
4. Коммутаторы цифровых и аналоговых сигналов	22
5. Триггерные микросхемы	24
6. Счетчики	27
7. Регистры	36
8. Дешифраторы	47
9. Арифметические схемы	53
10. Микросхемы ФАП и мультивибратор	59

МИКРОСХЕМЫ : ЗАРУБЕЖНЫЕ - ОТЕЧЕСТВЕННЫЕ

Таблица 1

Фирма RCA; серия: CD4000A и CD4000B	Обозначение	Серия				Стр.
		K176	564	K561	KP1561	
CD4000	ЛП4	+				15
01	ЛЕ5		+	+	+	15
02	ЛЕ6		+	+	+	15
03	ТМ1	+				21
07	ЛП1		+			19
08	ИМ1		+	+		53
09	ПУ2	+				20
10	ПУ3	+				21
11	ЛА7		+	+		13
12	ЛА8		+	+		13
13	ТМ2		+	+		25
15	ИР2		+	+		36
16	КТ1	+				22
17	ИЕ8			+		29
18	ИЕ19			+		35
20	ИЕ16			+		34
23	ЛА9		+	+	+	13
24	ИЕ1	+				27
25	ЛЕ10		+	+	+	15
27	ТВ1		+	+	+	27
28	ИД1		+	+		47
29	ИЕ14		+			34
30	ЛП2		+	+		18
31	ИР4	+				37
34	ИР6		+	+		38
35	ИР9		+	+		21
41	-					19
42	ТМ3		+	+		26
43	ТР2		+	+		24
46	ГГ1		+			59
49	ЛН2		+	+		19
50	ПУ4		+	+	+	21
51	КП2		+	+	+	23
52	КП1		+	+	+	
54	УМ1		+			51
55	ИД4		+			50
56	ИД5		+			50
60						35
61	РУ2	+	+	+		58
66	КТ3		+	+	+	22
70	ЛП14			+		17

81	ЛИ2		+		19
93	ТЛ1	+	+	+	14
98	АГ1	+		+	62
101	ИП16	+			54
107	ЛА10	+			13
108	ИР12	+	+		43
109	ПУ6	+			21
181	ИП3	+			56
182	ИП4	+			58

Таблица 2

Фирма Motorola; серия MS14000	Фирма RCA серия: CD4000A CD4000B	Обозначение	Серия			Стр.
			564	K561	KP1561	
MS14040	40	ИЕ20			+	36
50	50	КП3			+	24
76	76	ИР14			+	46
94	94	ПР1			+	47
161						
194	194	ИР15			+	45
502	502	ЛП1	+	+		18
516	516	ИЕ11	+	+		32
519	519	КП4			+	16
520	520	ИЕ10	+	+	+	32
531	101	СА1	+	+		54
554	554					
555	555	ИД6			+	52
556	556	ИД7			+	52
580	108					
581	181	ИП3	+			56
582	182	ИП4	+			58
585	63	ИП2	+	+		54

Таблица 3

Серия 54НС	Серия 1564	Стр.
02	ЛЕ1	15
11	ЛИ3	13
14	ТЛ2	14
20	ЛА1	13
30	ЛА2	13
66	ЛЕ4	15
77	ТМ5	26
192	ИЕ6	28
193	ИЕ7	28

КАК НАЙТИ МИКРОСХЕМУ ?

	Эквивалент	Стр.
Мультивибратор		
АГ1	CD4098	62
ФАП		
ГГ1	CD4046	59
Шифратор		
Дешифраторы		
ИД1	CD4028	47
2	-	49
3	-	49
4	CD4055	50
5	CD4056	50
6	MC14555	52
7	MC14556	52
Счетчики		
ИЕ1	CD4024	27
2	TA5971	27
3	-	28
4	-	-
5	-	-
6	54HC192	-
7	54HC193	28
8	CD4017	29
9	CD4022	30
10	MC14520	32
11	MC14516	32
12	-	33
13	-	33
14	CD4029	34
16	CD4020	34
19	CD4018	35
20	MC14040	36
21	-	-
Сумматор		
ИМ1	CD4008	53
Прочие микросхемы		
ИП2	MC1585	54
3	CD40181	56
4	CD40182	58
6	CD40101	54
Регистры		
ИР1	-	-
2	CD4015	36
4	CD4031	37
6	CD4034	38
9	CD4035	41
10	CD4006	42
11	-	-
12	CD40108	43
13	54C905	43
14	MC14076	46
15	MC14194	45
Мультиплексоры		
КП1	CD4052	23
2	CD4051	23
3	MC14050	24
4	MC14519	16
Коммутаторы		
КТ1	CD4016	22

КТ3	CD4066	22
Микросхемы И		
ЛА1	54HC20	13
2	54HC30	-
7	CD4011	-
8	CD4012	-
9	CD4023	-
10	CD40107	-
Микросхемы ИЛИ		
ЛЕ1	54HC02	15
4	54HC66	-
5	CD4001	-
6	CD4002	-
10	CD4025	-
Микросхемы И		
ЛИ1, 2	CD4081	13
3	54HC11	-
Инверторы		
ЛН1	MC14502	18
2, 3	CD4049	19
Микросхемы И/ИЛИ		
Микросхема И/ИЛИ		
ЛС2	4019	16
Прочие микросхемы		
ЛП1	CD4007	19
2	CD4030	18
4	CD4000	15
11	-	-
12	-	13
14	CD4070	18
Преобразователь кода		
ПР1	MC14094	47
Преобразователь уровня		
ПУ1	-	20
2	CD4009	-
3	CD4010	21
4	CD4050	-
5	-	-
6	CD40109	-
7	-	22
8	-	-
Запоминающие устройства		
РУ2	CD4061	58
Компаратор		
СА1	MC14531	54
Триггер JK		
ТВ1	CD4027	27
Триггеры Шмитта		
ТЛ1	CD4093	14
2	54HC14	-
Триггеры D		
ТМ1	CD4003	25
2	CD4013	-
3	CD4042	26
5	54HC77	-
Триггеры RS		
ТР2	CD4043	24
Усилитель индикации		
УМ1	CD4054	51

Мнемонические обозначения

$A0...A3$ — operand A	— байт A для арифметико-логического устройства, АЛУ;
$A=B$ — parity	— вход равенства операндов и в АЛУ;
A, AB	— выходы неравенства операндов A и B ;
ALU, arithmetic logic unit	— АЛУ;
A/S — asyncro/syncro	— выход для переключения синхронного и асинхронного режимов;
$B0...B3$ — operand B	— операнд B , байт B ;
$B/D, 2/\overline{10}$ — binary/decimal	— вход переключения счета: двоичного B и десятичного D ;
C — clock input	— тактовый вход;
C_D — count down	— счет на уменьшение;
CE — clock enable	— вход разрешения счета;
CEP — count enable parallel	— вход разрешения параллельного счета;
CET — count enable trickle	— «трюковый» вход разрешения счета, необходимый для каскадирования микросхем;
CLR — clear	— вход очистки счетчика, сброс;
C_{in} — carry input	— вход для единицы переноса, $C_{вх}$;
C_{out}, C_{n+1}	— carry output — выход переноса старшего разряда;
CPU — central processor unit	— центральное процессорное устройство, ЦПУ;
CS — chip select	— выбор кристалла, доступ к определенной микросхеме устройства;
C_U — count up	— счет на увеличение;
CRU — carry lock ahead unit	— схема ускоренного переноса, СУП;
D — data	— вход данных D для триггера, регистра, счетчика;
$D_0...D_n$ — parallel data inputs	— входы параллельной загрузки данных в счетчики, регистры;
DEMUX — demultiplexer	— демультиплексор;
DSI — data serial input	— последовательный вход данных;
DIL, DIR — D -inputs left, right	— последовательные входы загрузки данных в регистр слева и справа;
DSL, DSR — data shift left, right	— входы для последовательного сдвига данных влево и вправо;
E — enable	— разрешение;
EC — enable clock, count	— разрешение счета;
EE — enable even	— четный вход разрешения;
EI — enable input	— разрешение приема входных данных;
EO — enable output	— разрешение по выходу;
$F0...F3$ — function output	— выходы функций АЛУ;
G, GS — group signal	— групповой сигнал генерации переноса;
H — histeresys control input	— вход установки пределов гистерезиса логического элемента;
I/O — input/output	— один провод порта, он же вход или выход по команде;
JK — «jump and keep»	— входы J и K для установки JK -триггера;
M — mode control	— вход переключения режимов;
MSB — most significant bit	— старший значащий разряд;
MUX — multiplexer	— мультиплексор;
OE — odd enable	— нечетный вход разрешения;

PI, P — polarity input	— вход переключения полярности;
P — carry propagation	— сигнал распространения переноса;
PE — parallel enable load	— разрешение параллельной нагрузки;
P/S — parallel/serial	— вход переключения параллельного и последовательного режима приема данных;
$Q, \bar{Q}$ — outputs	— выходы: прямой Q и инверсный $\bar{Q}$;
QCC — Q output conversion complete	— выход завершения преобразования;
$Preset$ — previous set	— предварительная установка;
R — reset	— вход сброса данных в ноль;
RA, RB — read A, B	— чтение из памяти по адресам A и B ;
RE — read enable	— разрешение чтения;
RS — reset/set flip-flop, latch	— RS -триггер, RS -защелка;
R_t, C_t — timing components	— времязадающее RC -звено;
S — set	— начальная установка состояния, записи1;
SE — set enable	— разрешение параллельной записи слова $D_0...D_n$;
St — start, strobe	— вход запуска или вход строба;
SAR — successive approximation register	— регистр последовательного приближения РПП;
SI — serial input	— вход последовательный;
SIL, SIR — serial inputs left, right	— входы последовательные слева и справа;
SR — syncro reset	— сброс данных в ноль синхронно с тактовым импульсом;
SUB — subtractor	— вычитатель;
SUM — summator	— сумматор;
$S_0...S_n$ — select inputs	— входы выбора;
$\Sigma_0, \Sigma E$ — sum odd, sum even	— выходы сумм четности и нечетности
$\Sigma_0... \Sigma_n$ — sum outputs	— выходы разрядов сумм;
TC — terminal count	— выход окончания счета;
T/C — true/complement	— переключение кодов прямого и дополнительного кодов;
TC_D, TC_U — terminal count down, up	— выход окончания счета на уменьшение и на увеличение;
$U/\bar{D}$ — up/down	— управление реверсивным счетчиком: больше/меньше;
W, WA, WB — write inputs	— входы записи;
WE — write enable	— разрешение записи;
Z — state Z , 3-state	— разрыв выходного провода;
Y — logic output	— выход логического элемента;
B, H	— высокий и низкий статические уровни;
$\times$	— вход безразличен к логическим сигналам;
$_1, \uparrow$	— положительный фронт запуска;
$_1, \downarrow$	— отрицательный срез запуска;
$_1, _1$	— полный импульс запуска для двухступенчатых триггеров;
$q, \bar{q}$	— состояния выходов перед тактовым перепадом запуска;
$Q, \bar{Q}$	— результирующие выходные уровни;
Q_n, Q_{n+1}	— состояние выхода в данный момент t_n и в последующий t_{n+1} .

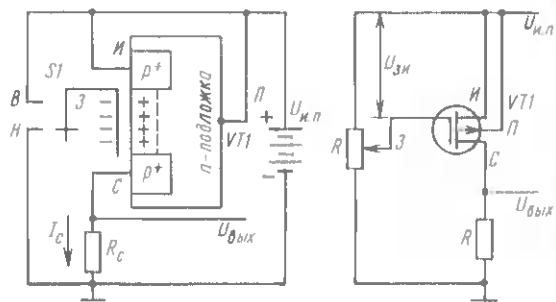
1. Логический элемент КМОП

Сокращение КМОП—начальные буквы четырех слов из полного определения: комплементарные полевые транзисторы со структурой металл—окисел—полупроводник. Слово комплементарный переводится как взаимно дополняющий. Так называют пару

Логический элемент состоит из p -канального (*positive*) и n -канального (*negative*) транзисторов, которые образуют инвертор.

Исток и подложка p -канального МОП транзистора подключены к положительному полюсу источника питания $U_{и.п.}$, стоковая нагрузка R_c — к отрицательному. Затвор, изолированный от канала высококачественным диэлектриком SiO_2 — это одна обкладка конденсатора, а поверхность полупроводниковой подложки — вторая. Если затвор заземляем (даем с помощью SI низкий логический уровень H), поверхность кристалла заполняется $+$ зарядами. Две технологические области p^+ перемыкаются. Это области истока и стока, где содержание дырок — повышенное. Создается поверхностный канал проводимости, течет ток стока I_c и появляется высокий уровень выходного

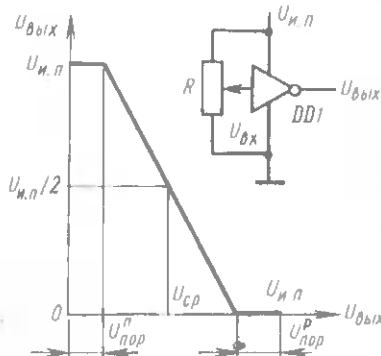
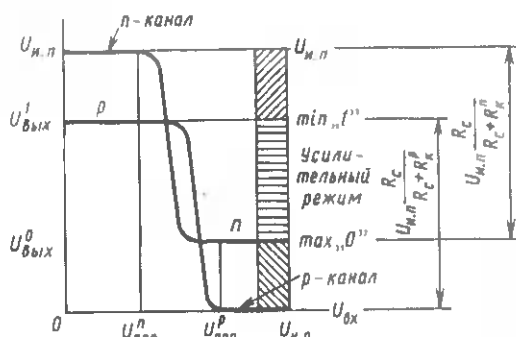
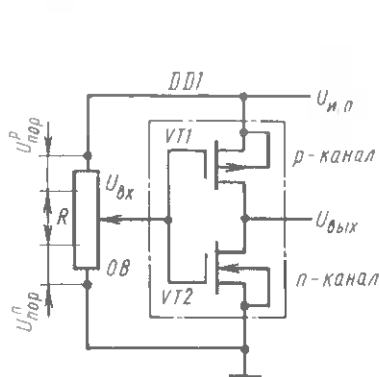
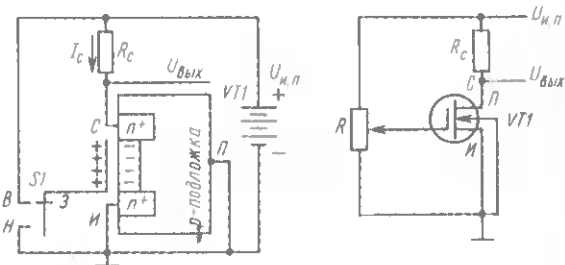
транзисторов, сходных по абсолютным значениям параметров, но с полупроводниковыми структурами, взаимно отображенными как бы в виде негатива и позитива.



напряжения $U_{вых}$. Переключив SI , присоединим затвор к $+U_{и.п.}$. Конденсатор «затвор-подложка» не будет заряжен, канал проводимости не замкнут, на выходе потенциал нулевой. Этот каскад — p -канальный МОП-инвертор.

Меняя напряжение затвор-исток плавно, снимем передаточную характеристику этого инвертора. Выходной уровень «единицы» меньше $U_{и.п.}$ ввиду значительного сопротивления канала ($R_k = 1 \text{ кОм} \dots 10 \text{ кОм}$).

Исток и подложку n -канального МОП-транзистора надо заземлить. Если затвор заземлить (даем от SI низкий логический уровень H), конденсатор «затвор-подложка» не будет заряжен, канал не наводится, ток стока не течет и на выходном проводе потенциал $U_{вых} = U_{и.п.}$

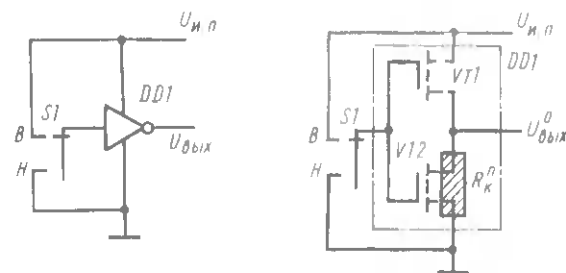


Даем на затвор высокий уровень B , конденсатор «затвор-подложка» заряжен, поверхность подложки обогащена электронами, течет ток стока. Выходное напряжение низкое, но $U_{вых}^0$ несколько больше нулевого потенциала. Присоединив затвор к движку резистора, снимаем передаточную характеристику, где отмечаем пороговое напряжение образования n -канала.

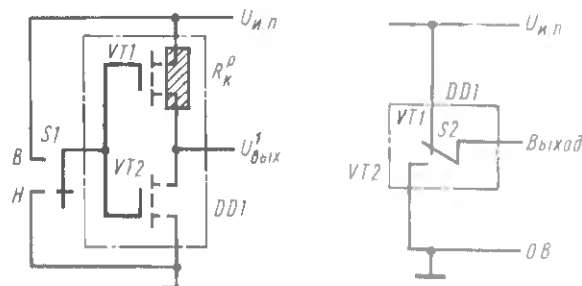
Включим n - и p -канальный транзисторы «столби-

ком», затворы их объединим. Получаем логический элемент (ЛЭ) КМОП. Нагрузочный резистор R_c не нужен. Подключив затворы к движку потенциометра, снимаем передаточную характеристику схемы при очень большом сопротивлении нагрузки. Характеристика имеет два излома в точках пороговых потенциалов p - и n -транзисторов и наклонную часть усилительного режима, когда оба транзистора откры-

Заменяв потенциометр переключателем $S1$, можем испытать $DD1$ как инвертор. Даем на затворы уровень B , канал p -транзистора $VT1$ разомкнут, а n -канал $VT2$ обогащен. На выходе инвертора—логический уровень низкий.



Даем на затворы уровень H , замыкается p -канал $VT1$ и через этот контакт в выходной провод проходит высокий логический уровень. Хотя оба электронных контакта на землю и на плюс неидеальные, внутреннюю эквивалентную схему ЛЭ можно заменить двухполюсным тумблером $S2$. Учтем, что входное сопротивление нагрузочных полевых ЛЭ имеет порядок 10^{10} Ом и более.



Простейшую структуру, позволяющую совместить p - и n -канальные транзисторы, размещают на n -подложке, на поверхности которой исток и сток p -канального транзистора выполняются непосредственно.

Для n -канального транзистора устраивается p -карман. Знаки $+$ означают повышенную степень легирования, вблизи поверхности кармана выполняются исток и сток n -канального транзистора. Подложку данной структуры следует присоединить к $+U_{и.п.}$, а «карман» — к $-U_{и.п.}$, т.е. к «земле».

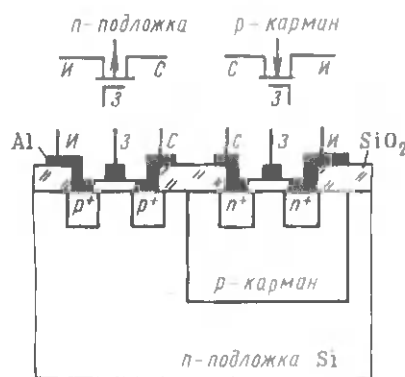
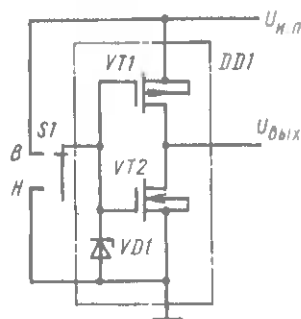


Схема инвертора создается металлизацией поверхности (в более новых разработках алюминиевая пленка заменяется поликремниевой—это хороший проводник, однако не имеющий полупроводниковых свойств монокристаллического кремния).

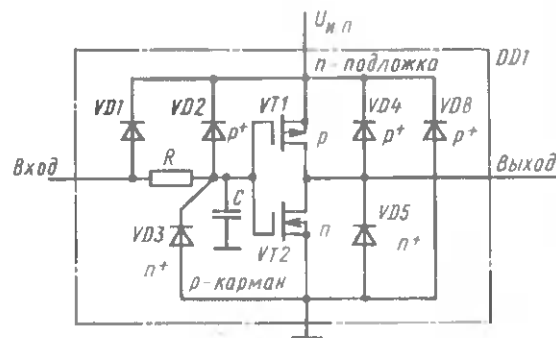
К затворам присоединен защитный стабилитрон $VD1$. Во-первых, он защищает затворы от пробоя их диэлектрика избыточными входными потенциалами, во-вторых, создает ток утечки зарядов, накапливающихся в статическом состоянии в конденсаторах «затвор-канал» $C_{з.к.}$. Если заряды q генерируются вблизи поверхности подложки постоянно (термо-, электрогенерация), то потенциал $U_{з.и.} = q/C_{з.и.}$ быстро увеличится до напряжения пробоя тонкого одномикронного слоя SiO_2 . Обратное сопротивление диода $VD1$ создает достаточный шунтовой путь утечки этого тока.



Полную защиту инвертора обеспечивают шесть диодов и резистор $R=200\ldots 2000$ Ом, ограничивающий пиковый уровень тока заряда конденсатора $C_{з.и}=5\ldots 15$ пФ. Этот резистор защищает выход предыдущего инвертора от перегрузки, ток которой может быть опасным, если число нагружающих входов-инверторов очень велико (десятки).

Диоды $VD1\ldots 3$ защищают затворы от пробоя как по изоляции, так и на «карман». Пробивное напряжение $VD1—25$ В, а $VD2$ и $VD3—50$ В.

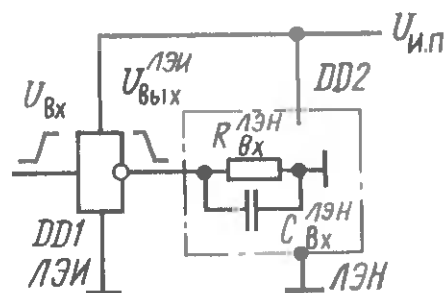
Диоды $VD4$ и $VD5$ защищают выходной провод от пробоя на «подложку» и «карман» ($U_{прб}=50$ В). Дiod $VD6$ защищает канал при ошибочной перемене полярности напряжения питания микросхемы. В общем, инвертор КМОП в микросхемах общего применения защищен от статических пробоев не хуже инвертора ТТЛ.



Для инверторов КМОП напряжение низкого логического уровня H практически равно 0, а высокого B — напряжению питания $U_{и.п.}$. Это может быть в том случае, если номинал нагрузки R_H во много раз больше, чем сопротивление замкнутого канала.

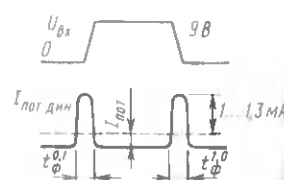
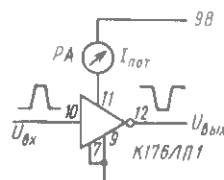
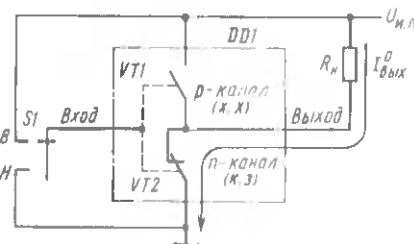
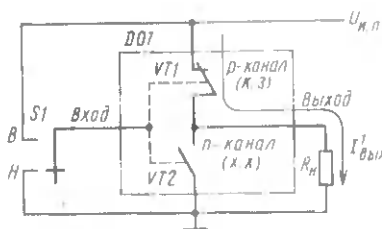
Если последовательно включены логический элемент—источник $DD1$ и ЛЭ-нагрузка $DD2$, условие выполняется автоматически, т.к. входное сопротивление ЛЭН не менее, чем на семь порядков превышает внутреннее сопротивление канала ЛЭИ (на уровне 5 кОм и более). Однако, через внутреннее сопротивление каналов заряжается и разряжается входная емкость ЛЭН ($5\ldots 15$ пФ).

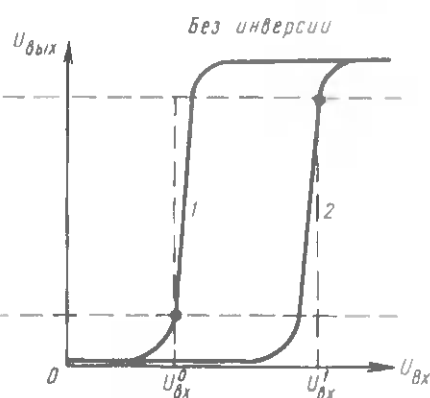
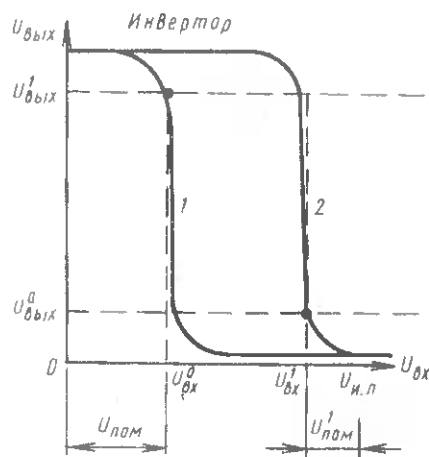
Длительность фронта и среза импульса на входе традиционных КМОП ЛЭН серий К176 и К561 находятся на уровне $50\ldots 150$ нс. Быстродействие логических устройств не превышает поэтому 3 МГц при внешних нагрузках.



Быстродействие новых серий 54НС, 74НС, FAST, К1564 увеличено в $5\ldots 10$ раз. Толщина слоя подзатворного окисла, а также площадь транзисторов существенно уменьшены. Как результат, импульсное быстродействие сопоставимо с микросхемами ТТЛ Шоттки.

Инвертор КМОП (если R_H очень велико) в статических состояниях ток питания не потребляет, поскольку разомкнут либо транзистор $VT1$, либо $VT2$, поэтому сквозного тока нет. В этом—замечательное свойство микросхем КМОП: они не потребляют ток питания, если входные сигналы не изменяются. Чем больше частота сигнала, тем больше ток, потребляемый инвертором КМОП. Динамический импульс тока потребления складывается из двух частей: во-первых, сквозной ток через $VT1$ и $VT2$, когда один из них «полуоткрыт», а другой—«полузакрыт»; во-вторых, ток заряда паразитных емкостей. Сравнив осциллограммы входного напряжения $U_{вх}$ и импульсов потребляемого тока $I_{пот.дин.}$, обнаруживаем, что ЛЭ КМОП потребляет ток только во время фронта и среза $U_{вх}$. Для инвертора К176ЛП1 амплитуда тока окажется $1\ldots 1,3$ мА. Максимальный ток потребления $I_{пот} = I_{пот.дин.}$ будет наблюдаться на такой частоте, когда импульсы тока как бы «слипнутся» ($1\ldots 3$ МГц; импульсы тока следуют в два раза чаще). Зависимость $I_{пот}(F)$ линейная, поэтому на таком принципе можно сделать даже простейший частотомер. На предельной частоте энергия, потребляемая на 1 бит, у КМОП инверторов хуже, чем у ТТЛ Шоттки.

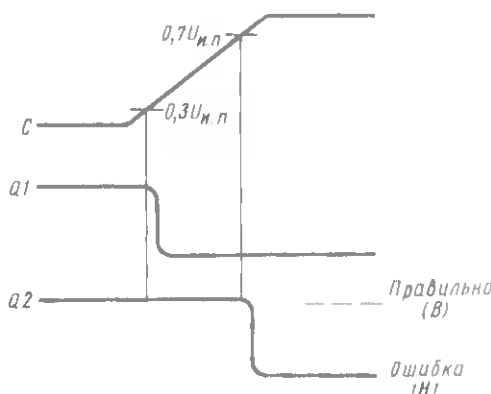
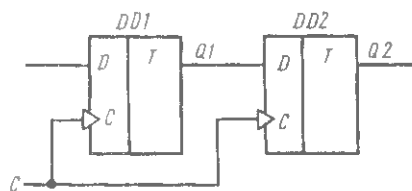




Помехоустойчивость ЛЭ КМОП определяется разбросом их передаточных характеристик (кривые для инвертора 1 и 2). На кривой 1 отмечен наименьший потенциал входного нуля (т.е. на входе еще сохраняется напряжение «единицы»), на кривой 2 зафиксирован наибольший потенциал, дающий на входе ин-

вертора «нуль». Здесь отмечена помехоустойчивость от «нуля» и от «единицы».

Можно отметить аналогичные потенциалы и для неинвертирующего ЛЭ. В общем, помехоустойчивость от «земли» не хуже $0.3U_{и.п.}$, а от шины питания $U_{и.п.} - 0.7U_{и.п.}$.



Для переключения синхронных микросхем КМОП совершенно необходимо, чтобы фронт и спад тактового импульса были бы достаточно крутыми (быстрее 5...15 мкс). Пологий фронт импульса долго держит инвертор в линейном режиме, поэтому течет чрезмерный ток потребления. Кроме того, при медленно

нарастающем тактовом перепаде C полученный от предыдущего триггера $DD1$ низкий уровень $Q1$ на входе триггера $DD2$ не зафиксирован и будет сброшен. Вывод: тактовые последовательности с медленно нарастающими фронтами следует формировать с помощью триггера Шмитта.

Необходимо принимать особые меры защиты элементов КМОП. Во-первых, все входные сигналы не должны выходить за пределы напряжения питания $U_{и.п.}$. Если проектируются мультивибраторы (автогенераторы и ждущие), в них следует ограничить токи перезарядки конденсаторов микроамперными уровнями, включив последовательные резисторы. Во-вторых, входы КМОП не должны оставаться неприсоединенными. Реально опасны случаи разъединения печатных плат, находящихся под питанием, когда через разъем сигналы от одной платы поступают на другую. Здесь следует предусматривать шунтирующие резисторы: к проводам $U_{и.п.}$ или нулевому. В-

третьих, многие микросхемы КМОП могут работать от сигналов ТТЛ. Здесь следует подключать резисторы утечки от входа КМОП на питание ТТЛ 5 В.

Следует принимать меры защиты выходов микросхем КМОП. Надо избегать случайных замыканий выходов буферных элементов с повышенным выходным током на провод питания. Нельзя соединять выходы обычных элементов непосредственно, поскольку произойдет замыкание одного из каналов на источник питания.

Если требуется параллельное соединение входов и выходов элементов, они должны быть из одного корпуса микросхемы. Нельзя применять емкости нагруз-

ки $C_{п} > 5000$ пФ для буферных и высоковольтных оконечных элементов, поскольку такой незаряженный конденсатор равноценен перемычке короткого замыкания.

Первые микросхемы КМОП были низковольтными. Это отечественная серия К176 и аналогичная зарубежная CD4000A. Напряжение питания для микросхем этих серий было равно 9 В. Оно лимитировалось напряжением пробоя n -кармана. Схемотехника этих серий была оригинальной.

Последующая эволюция технологии позволила повысить предел напряжения питания $U_{и.п.}$ до 15 В. Вместе с тем нижний предел $U_{и.п.}$ составляет 3 В. Быстродействие микросхем КМОП растет пропорционально увеличению напряжения питания. Поэтому для усовершенствованных серий К561 (аналог — серия CD4000B) при $U_{и.п.} = 15$ В типовое значение времени $t_{зд,р,ср} = 50$ нс на логический элемент, при статической рассеиваемой мощности — 0,4 мВт на элемент.

Перспективная, так называемая HCMOS-логика

(здесь H — начальное сокращение перевода слова *high* — высококачественная) выполняется с помощью процессов ионной имплантации и с заменой металлических пленок областей затворов на поликремниевые. Микросхемы такого исполнения конкурируют по быстродействию (10...15 нс) с микросхемами на структурах с барьером Шоттки, конкретно с ТТЛ серией 74LS (К555).

В последние годы оригинальная номенклатура серии CD4000 практически не расширяется, поскольку гораздо удобнее оказалось изготавливать по технологии КМОП все большее число аналогов микросхем ТТЛ с сохранением их структуры, цоколевки и цифровой маркировки. Наиболее известна 74НС (более ранний вариант — серия 74С). В плоском корпусе эти кристаллы маркируются как серия 54НС (отечественный вариант — серия К1564). Микросхемы серии 74НС можно просто устанавливать на место аналогичной микросхемы серии 74, 74LS, 74ALS, К155, К555, К1533. Напряжение питания для микросхем, аналогичных 74НС, находится в пределах 3...7 В.

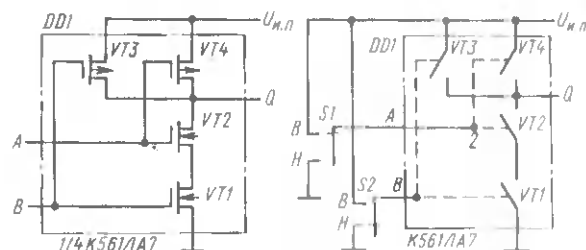
2. Микросхемы И, И, ИЛИ, Z, «искл. ИЛИ»

В основе всех цифровых микросхем КМОП находятся элементы И, И, ИЛИ и коммутативный ключ (КК). С помощью КК реализуются выходы с третьим состоянием очень большого выходного импеданса Z (практически разомкнуто). Полевые транзисторы можно соединять последовательно «столбиком», поэтому элементы И, ИЛИ строятся по разным схемам. Для КМОП принято, чтобы 1 отображалась высоким уровнем, а 0 — низким.

Если последовательно перебрать все комбинации напряжений высоких и низких уровней, поступающих на входы A и B от $S1$ и $S2$, и рассмотреть уровни на выходе Q , получим таблицу состояний инвертора И. Когда от $S1$ и $S2$ на входы A и B поданы напряжения высокого уровня B , n -каналы транзисторов $VT1$ и $VT2$ будут замкнуты, а каналы $VT3$ и $VT4$ разомкнуты. На выходе Q окажется напряжение низкого уровня H . Если на вход A или B поступает хотя бы один низкий уровень, один из каналов $VT3$ или $VT4$ оказывается замкнутым и на выходе Q появляется напряжение высокого уровня. В результате вертикальная колонка данных на выходе соответствует функции И.

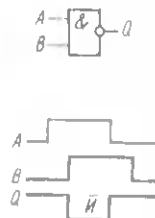
Если на входы A и B подать два положительных импульса, сигнал на выходе Q будет соответствовать площади их совпадения (но с инверсией!).

Один двухвходовой канал И из микросхемы К561ЛА7 содержит четыре разноканальных ПТ: $VT1$ и $VT2$ — n -, а $VT3$, $VT4$ — p -канальные. На эквивалентной ключевой схеме выходы A и B получают четыре возможных логических сигнала от переключателей $S1$ и $S2$.



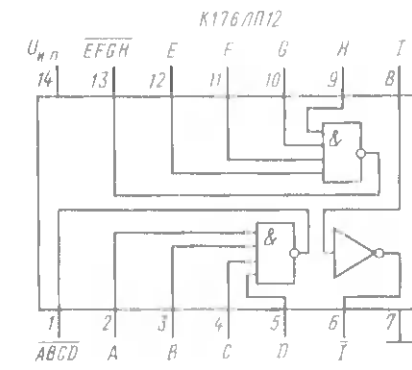
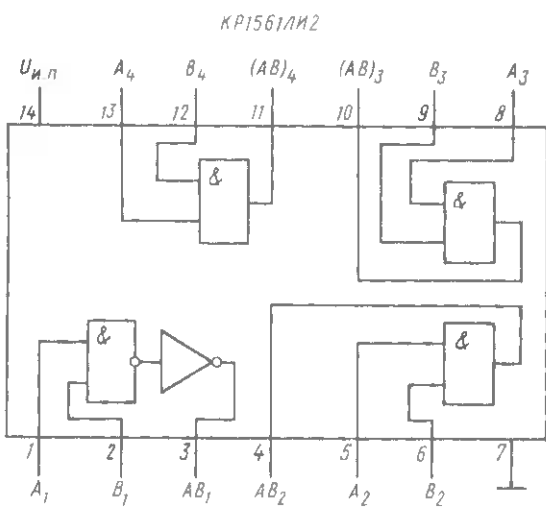
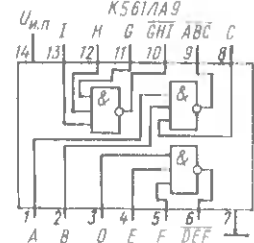
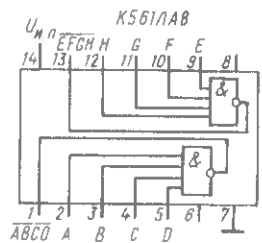
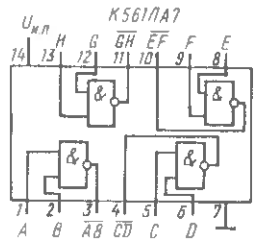
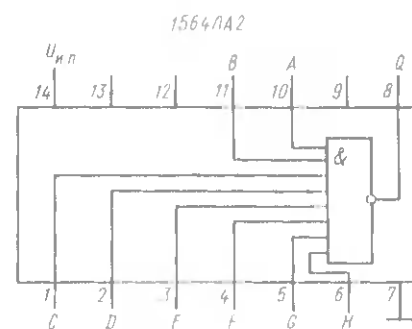
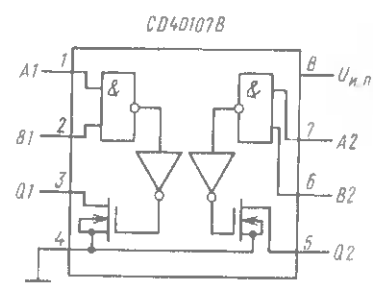
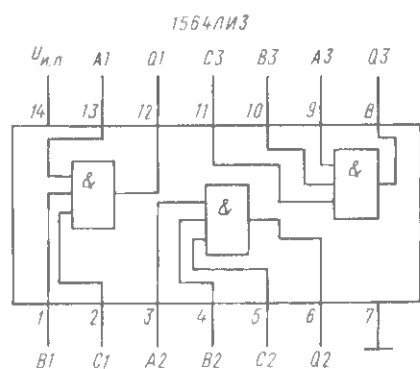
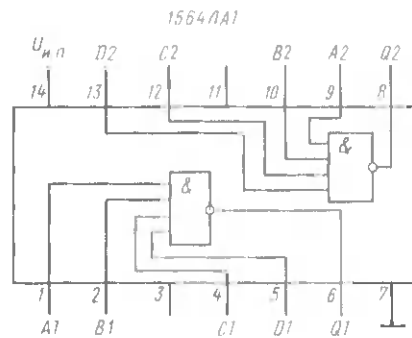
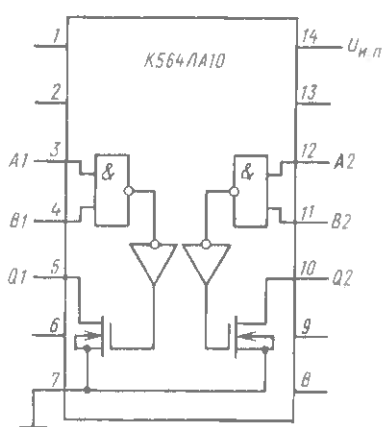
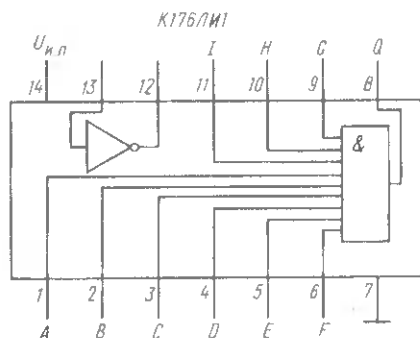
К561ЛА7

Вход		Выход
A	B	Q
H	H	B
H	B	B
B	H	B
B	B	H



Добавив к элементу $\bar{Y}$ инвертор, реализуем логику И (см. четырехканальную микросхему КР1561ЛИ2, зарубежный эквивалент CD4081B). Не имеют аналогов микросхемы ЛИ1, ЛИ3 и К176ЛП12. К564ЛА10 снабжена оконечными n -канальными МОП-транзи-

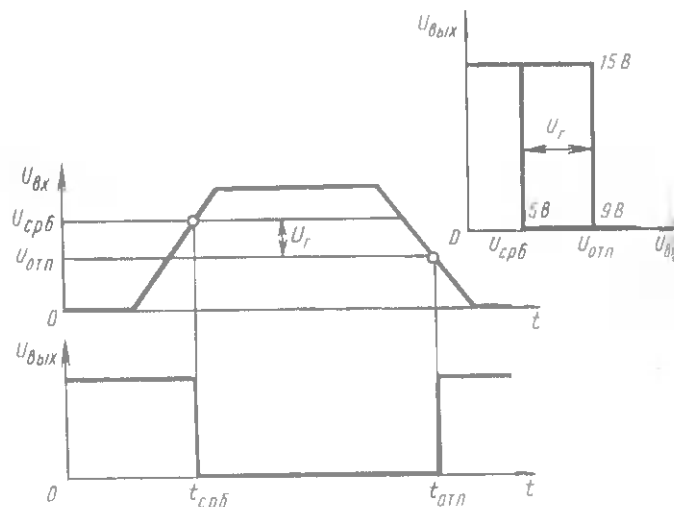
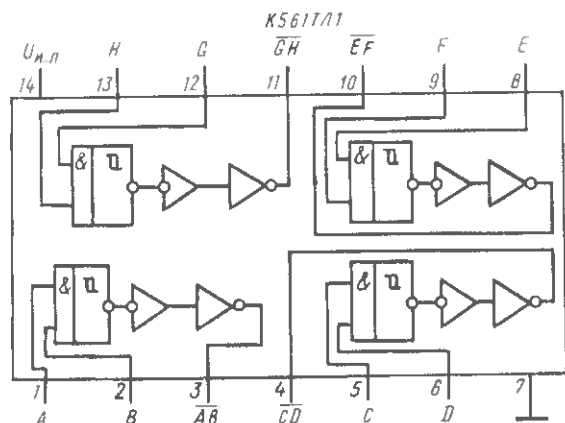
сторами с открытыми стоками; ее аналог CD40107B изготавливается в 8-контактном корпусе. Микросхемы ЛА серии 1564 имеют плоский корпус, серии К561—пластмассовый, с выводами в две линии.



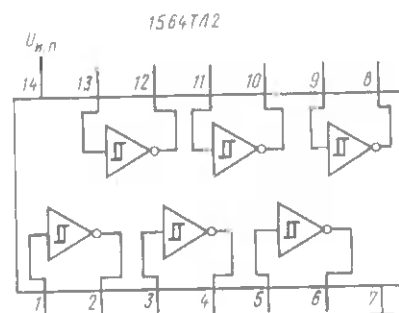
Микросхема К561ТЛ1—четверка двухвходовых элементов И с передаточной характеристикой триггера Шмитта. Эта микросхема есть в вариантах К1561ТЛ1 и 564ТЛ1, зарубежный аналог—CD4093В. Передаточная характеристика каждого ЛЭ имеет два порога: срабатывания и отпускания. Разность ($U_{срб}-U_{отп}$)—есть напряжение гистерезиса U_r , которое для данной микросхемы пропорционально напряжению питания. При $U_{и.п.}=5В$ гистерезис $U_r=0.6В$, если $U_{и.п.}=10В$, $U_r=2В$. Передаточная характеристика этого элемента $U_{вых}(U_{вх})$ имеет вид петли, ширина которой U_r —есть запас помехоустойчивости ЛЭ. Триггеры Шмитта совершенно необходимы для

формирования тактовых последовательностей, переключающих состояния триггеров, счетчиков, регистров.

Если фронт импульса медленнее, чем 15 мкс, КМОП-схемы переключаются ненадежно. Фронт и срез импульса на выходе триггера Шмитта не зависят от формы входного сигнала. Перепады получаются калиброванными с длительностью около 100 нс при $U_{и.п.}=9В$. Среднее время задержки распространения в элементе И менее 600 нс при $U_{и.п.}=5В$ и 300 нс при $U_{и.п.}=10В$



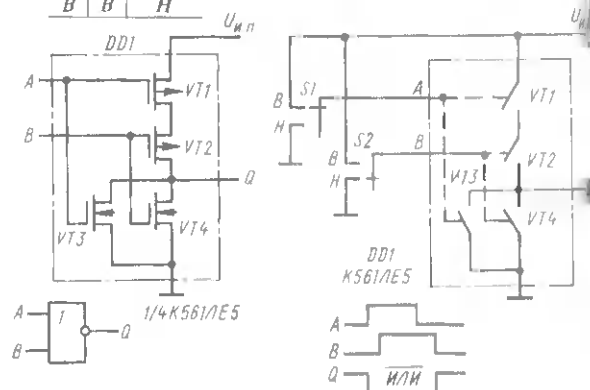
Для формирования импульсов, построения помехоустойчивых генераторов удобна микросхема 1564ТЛ2. Ее зарубежный аналог: 54НС14. Обе эти микросхемы— «потомки» микросхем ТТЛ: 533ТЛ2, К555ТЛ2, 54LS14 и 74LS14. Все они взаимозаменяемы непосредственно.



К561ЛЕ5

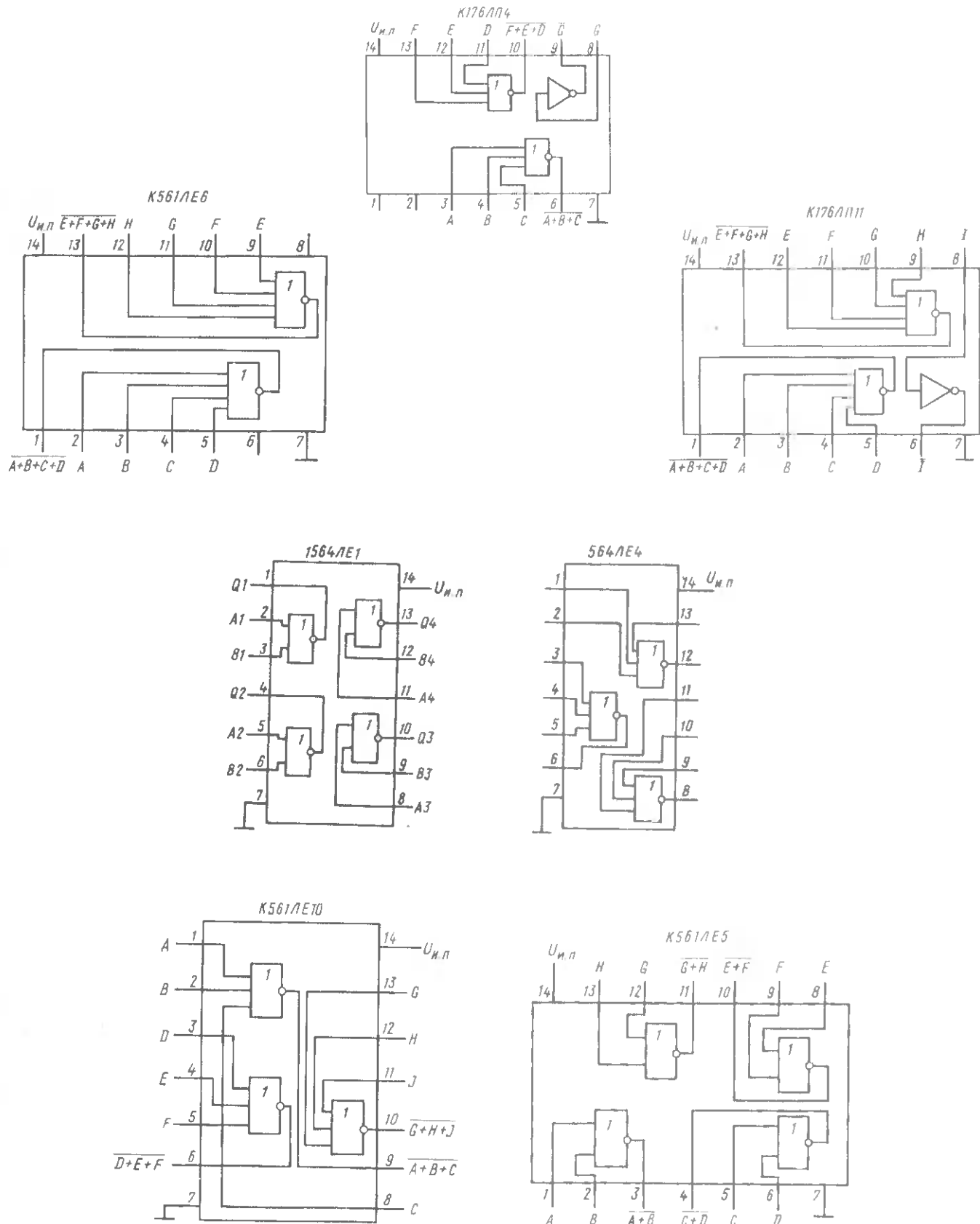
Вход		Выход
A	B	Q
H	H	B
H	B	H
B	H	H
B	B	H

Устройство базового элемента ИЛИ (это один канал микросхемы К561ЛЕ5), как бы обратное по сравнению с элементом И: здесь параллельно соединены n -канальные и последовательно p -канальные транзисторы. На эквивалентной схеме транзисторы заменены ключами. Только совпадение низких входных уровней на входах A и B даст высокий уровень на выходе Q , так как в этот момент замыкаются оба верхних p -канальных транзистора $VT1$ и $VT2$. Присутствие хотя бы одного высокого уровня B на входах A , B означает замыкание одного из параллельных n -канальных транзисторов $VT3$, $VT4$.



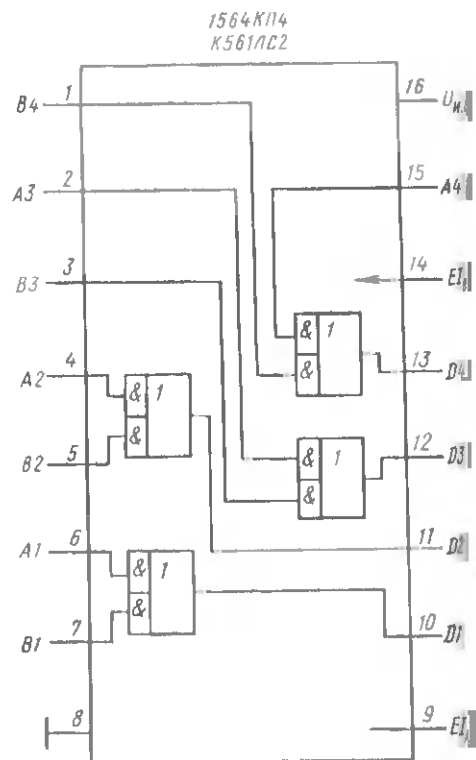
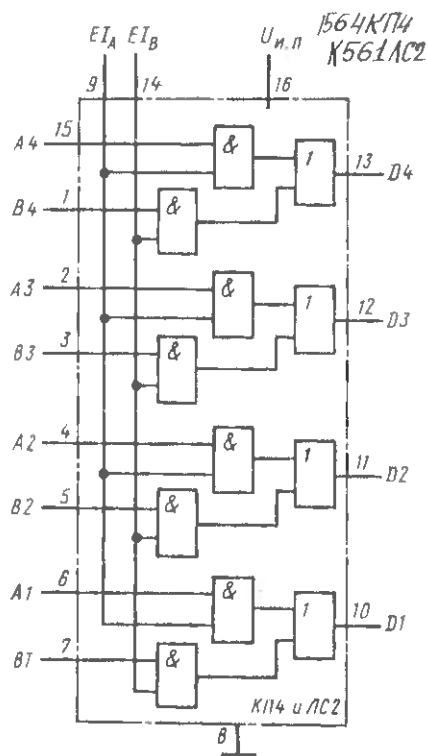
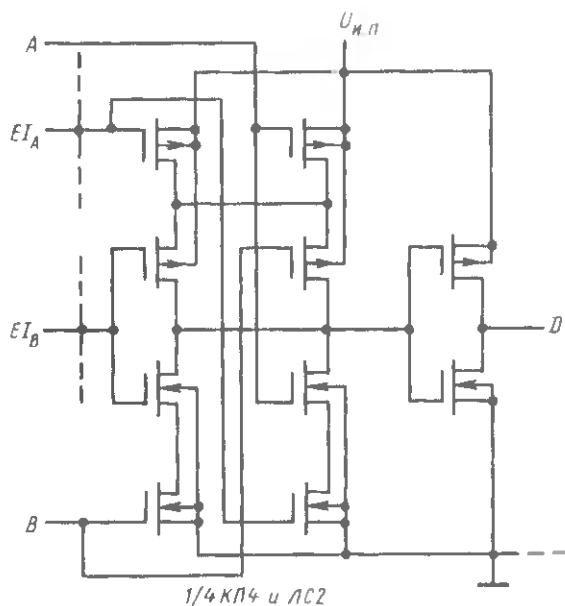
Состояние выхода Q в зависимости от уровней, последовательно поступающих от переключателей $S1$ и $S2$, дают столбик данных, соответствующий функции ИЛИ. Осциллограмма отклика на выходе ИЛИ пока-

зывает, что длительность действия инвертированного сигнала на выходе Q соответствует времени действия обоих входных сигналов.



Как в виде отдельных микросхем—цифровых мультиплексоров, так и в качестве частей схем регистров и счетчиков применяется комбинированная структура И/ИЛИ. По четыре таких канала содержат одиотипные микросхемы К564ЛС2 и 1564КП4. На выходы $D1...D4$ можно с помощью входов разрешения EI_A и EI_B пропускать либо слово $A1...A4$, либо $B1...B4$ согласно логическому уравнению $D_n = (A_n EI_A + B_n EI_B)$.

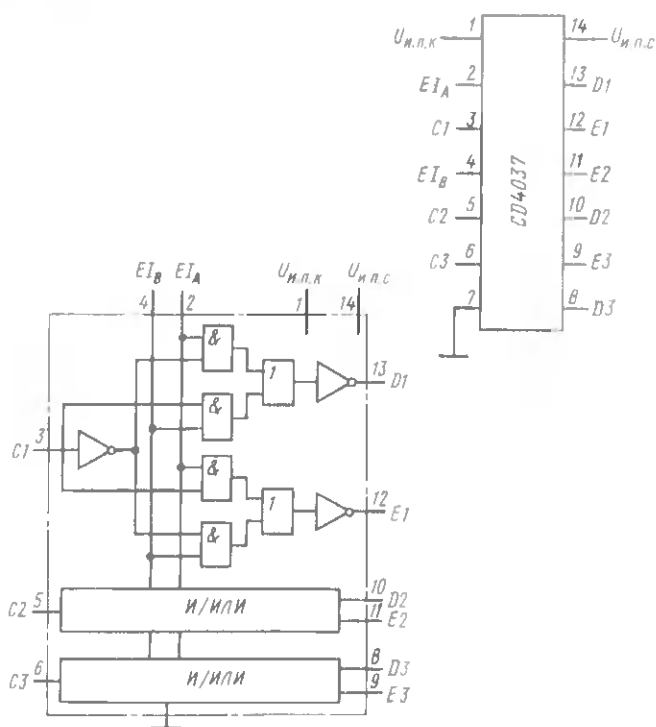
Входы управления EI_A и EI_B можно использовать для реализации функций $A+B$. Микросхемы удобно применять в регистрах со сдвигом вправо и влево, для переключения прямого и комплементарного выходных кодов, для переключения преобразований И, ИЛИ, «искл. ИЛИ». Скорость переключения каналов 50...100 нс.



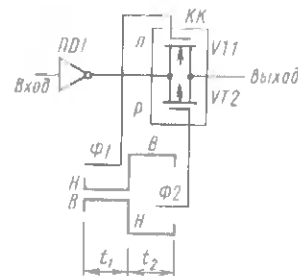
Микросхема CD4037 содержит три бифазных пары, каждая из которых коммутирует входной сигнал C по двум выходам D и E . Три канала этой микросхемы, содержащие структуры И/ИЛИ с выходными инверторами, управляются общими сигналами EI_A и EI_B . На выходах D и E можно получить прямые C или инвертированные $\bar{C}$ выходные данные. Микросхема имеет два вывода питания: коллекторного $U_{и.п.к.}$ и стокового $U_{и.п.с.}$. Это необходимо, если данные приходят от устройства, где $U_{и.п.с.}=3В$. Микросхема удобна для кодирования и декодирования сигналов с расщепленной фазой в бифазных системах связи, цифровой магнитной записи на ленту, диски, барабан, а также в устройствах магнитной памяти на сердечниках. Время задержки распространения от входа C до выхода D не превышает 250 нс.

Состояния бифазной пары И/ИЛИ из микросхемы CD4037A

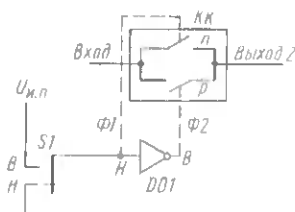
Вход		Выход	
KA	KB	D	E
0	0	1	1
1	0	$\bar{C}$	$\bar{C}$
0	1	$\bar{C}$	C
1	1	0	0



Чтобы построить ЛЭ с третьим Z-состоянием, последовательно с выходом инвертора надо добавить двухполюсный полевой ключ коммутации KK . За инвертором $DD1$ следует пара разнополярных полевых транзисторов $VT1$ и $VT2$. Показаны управляющие затворами потенциалы с противоположными фазами $\Phi1$ и $\Phi2$: p -канал $VT2$ замкнут при низком уровне импульса $\Phi2$, n -канал—при высоком уровне $\Phi1$. За период t_1 ключ KK разомкнут, поскольку на затворы $VT1$ и $VT2$ поданы закрывающие уровни. На время t_2 KK замыкается, так как сразу оба транзистора $VT1$ и $VT2$ получают открывающие сигналы $\Phi1=B$ и $\Phi2=H$.

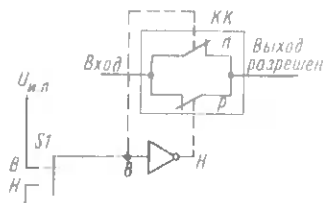


В дополнение к предыдущей схеме включаем инвертор $DD1$, формирующий две фазы сигнала управления $\Phi1$ и $\Phi2=\bar{\Phi1}$. Канал данных разомкнется, когда от переключателя $S1$ подается напряжение низкого уровня. Выходная часть схемы станет высокоомной, с очень большим сопротивлением Z . Сигналы в выходной провод пройти не могут. Много таких выходов можно присоединить к одному проводу шины данных.



Если от переключателя $S1$ подается уровень B , KK замкнут и выход данными разрешен. Используя инверторы с третьим состоянием Z , когда их выходы требуется соединить, важно, как и для микросхем ТТЛ, соблюдать правило: сигналы разрешения должны быть сформированы так, чтобы для соседних каналов они не перекрывались (по-другому, должен быть защитный интервал—пауза).

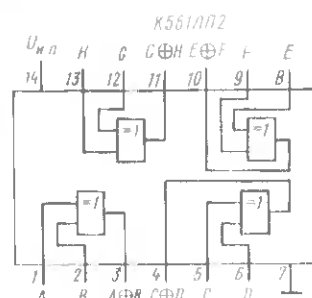
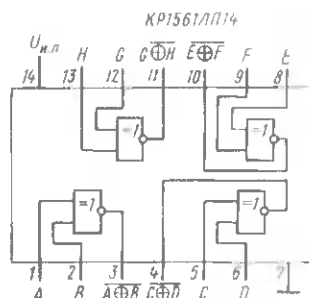
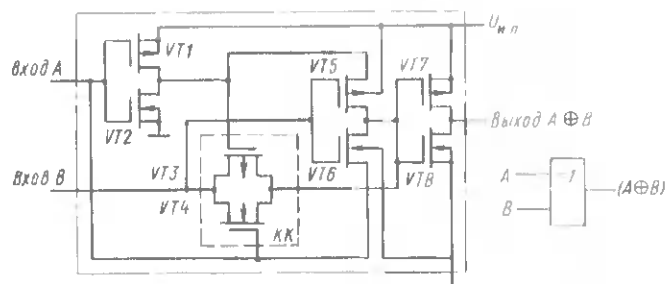
Ключ коммутации позволяет существенно упростить схемы одио- и двухступенчатых триггеров.



Микросхемы К176ЛП2 и К561ЛП2 содержат по четыре базовых элемента исключающее ИЛИ. В принципиальной схеме одного канала кроме трех инверторов применен ключ коммутации КК. Показано расположение четырех элементов исключающее ИЛИ в корпусе ЛП2. Логические состояния для одного канала данной микросхемы (сумматора по модулю 2) в столбике выходных состояний имеют два нуля: один тривиальный $0 \oplus 0 = 0$, второй — ноль в младшем разряде суммы $1+1=10$, или $1 \oplus 1 = 0$. Микросхему «искл.ИЛИ» (*exclusive OR* — сокращенно *EX-OR*) из-за этого свойства разработчики используют в импульсных и аналоговых схемах. Особенно известен — фазовый компаратор. Выпускается также аналогичная по цоколевке микросхема КР1561ЛП14 (CD4070), которая содержит четыре элемента «искл.

Состояния исключающее ИЛИ К561ЛП2 и исключающее ИЛИ КР1561ЛП14

Вход		Выход	
A	B	Для ЛП2	Для ЛП14
0	0	0	1
1	0	1	0
0	1	1	0
1	1	0	1



ИЛИ», инверсные выходные данные которых показаны в последнем столбце таблицы.

Время $t_{зд,ср}$ для элемента из ЛП2 составляет 40...150 нс при $U_{и.п.с.}=10В$, время фронта и среза выходного импульса 25...150 нс.

3. Микросхемы с инверторами и преобразователями уровня

Для полного использования свойств сложных микросхем, а также для построения множества «нетиповых» схемотехнических узлов, разработчики активно используют микросхемы, в которых содержится несколько инверторов, которые обычно имеют повышенную нагрузочную способность.

Микросхема К561ЛН1 содержит шесть стробируемых инверторов. Каждый инвертор (точнее, двухвходовый элемент ИЛИ) имеет вход D_n и выход Q_n . Кроме того, на вторые входы всех шести инверторов от общего вывода 12 (разрешение по входу EI) подается разрешающий сигнал с активным низким уровнем. Если здесь входной уровень высокий, входы D_n запрещаются, а все выходы Q_n имеют низкий выходной сигнал.

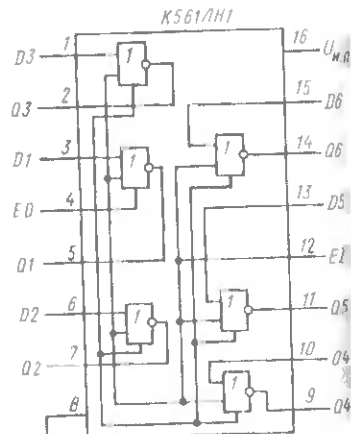
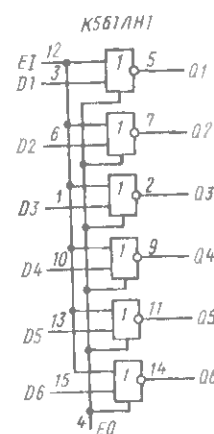
Второй общий вход управления $E0$ — разрешение по выходу при высоком входном уровне переводит все выходы в состояние Z (т.е. разомкнуто; выходное сопротивление более 10 МОм). Третье состояние упрощает работу выходов инверторов на шину данных. Нагрузочная способность каждого инвертора — два ТТЛ-входа $I_{вых}^0 = 3.2$ мА. Данная микросхема пригодна для перехода к устройствам ТТЛ. Микросхема К561ЛН1 работает как от напряжения стокового питания $U_{и.п.с.}=15В$, так и от коллекторного $U_{и.п.с.}=5В$.

При $U_{и.п.с.}=15В$ наибольшее время задержки распространения составляет 65 нс, время перехода от

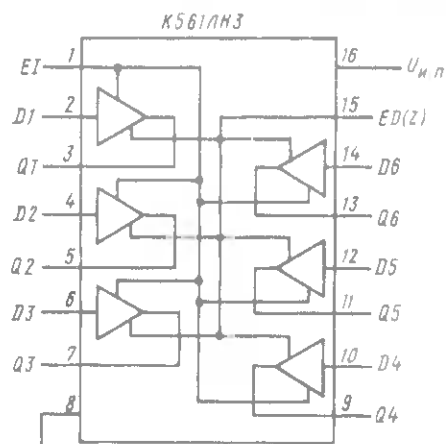
Z — состояния к высокому выходному уровню 40 нс. При $U_{и.п.с.}=5В$ все переходные процессы затягиваются в 3 раза.

Состояние входов и выходов инверторов в микросхеме К561ЛН1

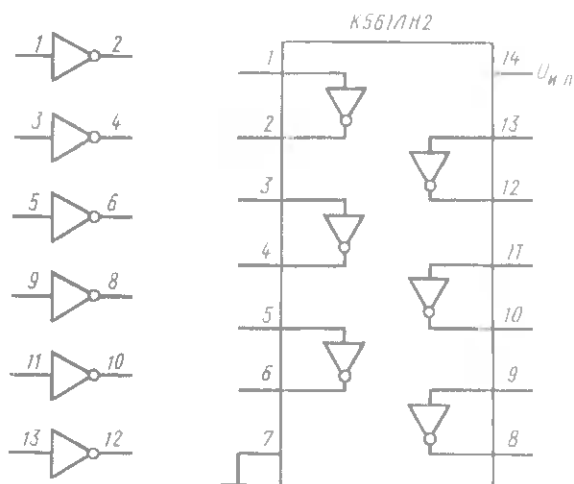
Разрешение		Вход D_n	Выход Q_n
по выходу $E0$	по входу EI		
H	H	H	B
H	H	B	H
H	B	×	H
B	×	×	Z



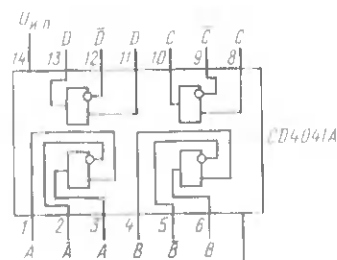
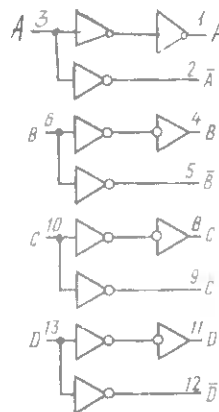
Микросхема К561ЛНЗ сходна с ЛН1 по логике работы входов управления EI (вывод 1) и EO (Z ; вывод 15), но имеет шесть каналов без инверсии.



Микросхема К561ЛН2 содержит шесть буферных инверторов. Для микросхемы необходимо лишь одно напряжение питания (на вывод 14), поэтому она удобна как транслятор логических уровней. Если на вывод 14 подать коллекторное напряжение $U_{и.п.} = 5В$, то можно передавать уровни от КМОП к ТТЛ, причем нагрузочная способность инвертора — два ТТЛ входа (т.е. $I_{вых}^0 \geq 3.2 \text{ мА}$ при выходном напряжении низкого уровня не менее 0.4В). Микросхема ЛН2 непосредственно заменяет К176ПУ2 и К176ПУ3. При $U_{и.п.} = 5В$ время задержки распространения — не более 80нс, при $U_{и.п.} = 10В$ — не более 55нс.



Микросхема CD4041A содержит четыре буферных устройства. У каждого из них один вход и два выхода: прямой и инверсный. Выходные инверторы спроектированы с малым внутренним сопротивлением каналов и имеют, поэтому, повышенную нагрузочную способность по току: вытекающему и стекающему. Микросхему используют как преобразователь уровней КМОП-ТТЛ, а также как набор ключей для обслуживания резистивных матриц в цифро-аналоговых преобразователях.



Микросхема К176ЛП1 — многоцелевая. Она содержит набор КМОП-транзисторов по трем p - и n -канальным. С помощью нескольких корпусов К176ЛП1 можно реализовать как цифровые, так и аналоговые узлы: формирователи-обострители, инверторы, пороговые детекторы, усилители. Время переключения инвертора в К176ЛП1 не превышает 50 нс. Здесь показано несколько применений этой микросхемы и указано, какие выводы корпуса следует соединить между собой.

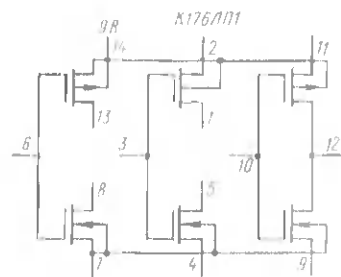


Схема 1. Трн инвертора. Соединить выводы: 14, 2 и 11; 8 и 13; 1 и 5; 7, 4 и 9.

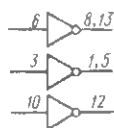


Схема 2. Трехвходовая схема ИЛИ. Соединить: 13 и 2; 1 и 11; 12, 5 и 8; 7, 4 и 9.

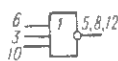


Схема 3. Трехвходовая схема И. Соединить: 1, 12 и 13; 2, 4 и 11; 4 и 8; 5 и 9.



Схема 4. Буферный инвертор с большим стекающим током. Соединить: 6, 3 и 10; 8, 5 и 12; 11 и 14; 7, 4 и 9.

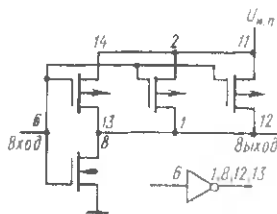


Схема 5. Буферный инвертор с большим вытекающим током. Соединить: 6, 3 и 10; 13, 1 и 12; 14, 2 и 11; 7 и 9.

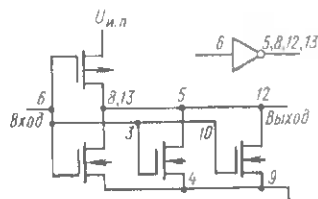


Схема 6. Инвертор с большим током в обоих направлениях. Соединить: 6, 3 и 10; 14, 12 и 11; 7, 4 и 9; 13, 8, 1, 5 и 12.

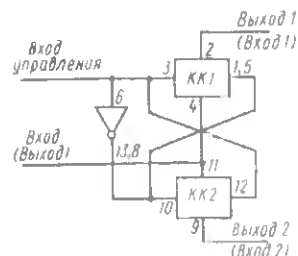
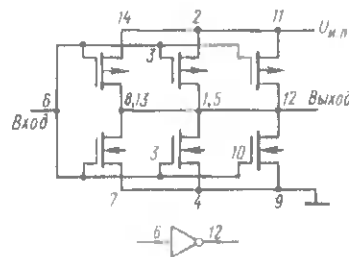
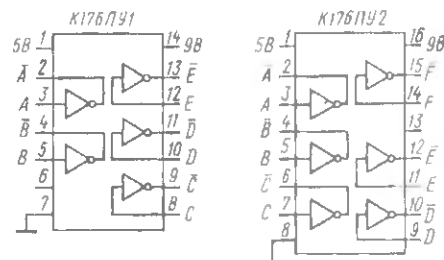


Схема 7. Пара двунаправленных ключей коммутации. Соединить: 1, 5 и 12; 2 и 9; 11 и 4; 8, 3 и 10; 6 и 3.

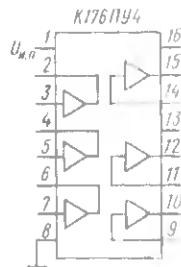
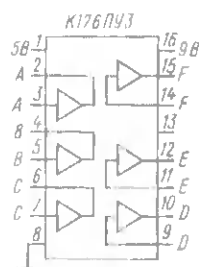
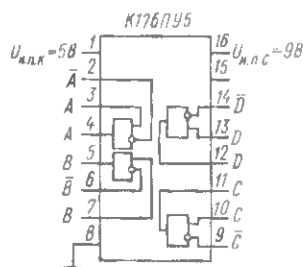


Существует несколько типов микросхем КМОП, содержащих от четырех до шести каналов (с инверсией или без инверсии), предназначенных для согласования логических уровней КМОП (напряжение высокого уровня 3...15 В, низкого — нуль) и ТТЛ (напряжение высокого уровня не менее 2,3 В, низкого — не более 0,3 В). Заметим, что большинство этих схем преобразует уровни от КМОП к ТТЛ. Как указывалось, инверторы К561ЛН1 и К561ЛН2 так же можно использовать для преобразования уровней КМОП—ТТЛ.

Преобразователь уровней от КМОП к ТТЛ К176ПУ1 содержит пять инверторов. Для него требуются два источника питания: 5 В (вывод 1) и 9 В (вывод 14). Шесть преобразователей логических уровней от КМОП к ТТЛ содержит микросхема К176ПУ2. Эти инверторы можно использовать также в тех устройствах логики КМОП, где требуются большие выходные токи $I_{\text{вых}}^1$ и $I_{\text{вых}}^0$, например, при перезаряде нагрузочной емкости.

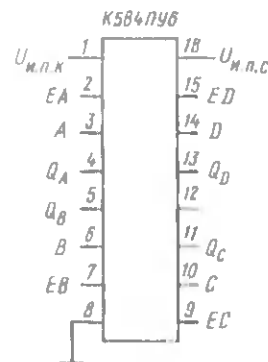
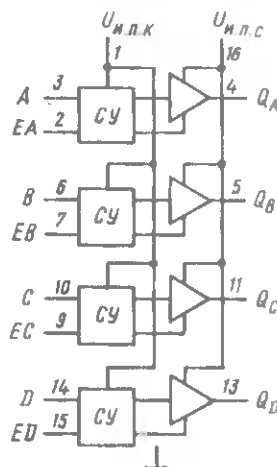


Шесть преобразователей без инверсии расположено в корпусе К176ПУ3. В качестве замены К176ПУ2 можно применить К561ЛН2, а вместо ПУ3 — преобразователь К561ПУ4 во всех схемах. Нагрузочная способность схем ПУ2 и ПУ3 — два ТТЛ-входа ($I_{\text{вых}}^0 = 3,2 \text{ мА}$). Микросхемам К176ПУ1 — ПУ3 требуется два напряжения питания. На вывод 1 подается питание для ТТЛ-части $U_{\text{и.п.к.}} = 5 \text{ В}$, а на вывод 16 (или 14) — питание для КМОП-транзисторов, т.е. $U_{\text{и.п.с.}} = 9 \text{ В}$. Время переходного процесса преобразования уровней от низкого к высокому не превышает 50...100 нс, от высокого к низкому — 16...40 нс. Каждый из четырех преобразователей уровней от КМОП к ТТЛ, входящих в микросхему К176ПУ5, отличается комплементарными выходами. Для ПУ5 требуется два источника питания.



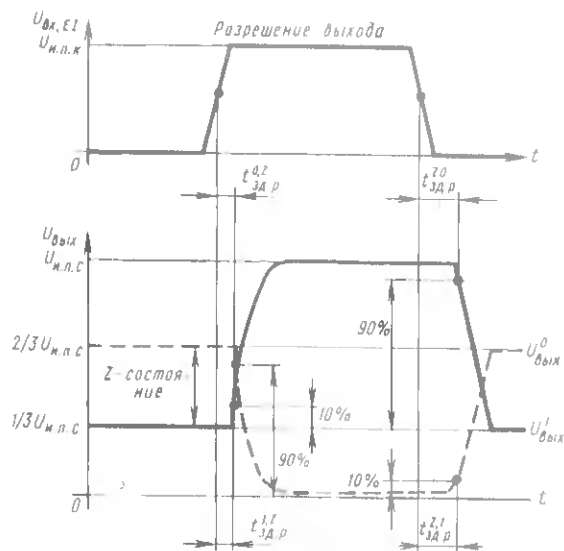
Микросхема К561ПУ4 содержит шесть преобразователей уровня — буферных усилителей. По параметрам она сходна с К561ЛН2. Вывод 16 свободный. Канал К561ПУ4 обеспечивает импульсы тока для двух ТТЛ-нагрузок.

Микросхема К564ПУ6 содержит четыре канала сдвига логических уровней СУ от низкого напряжения к высокому. Необходимы два напряжения питания: на вывод 1 коллекторное $U_{\text{и.п.к.}} = 5 \text{ В}$, на вывод 16 — стоковое $U_{\text{и.п.с.}}$ до 15В. В этом случае получается преобразование логических уровней ТТЛ в уровни КМОП. Входные данные ТТЛ подаются на входы А...D, выходные КМОП выделяются на выходах Q_A...Q_D. Каждый каскад СУ имеет также входы разрешения EА...ЕD.



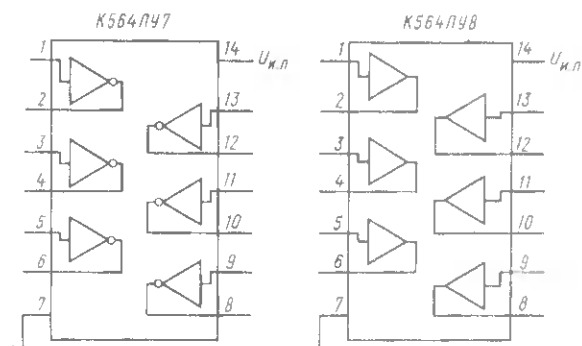
Преобразование ТТЛ—КМОП без инверсии данных разрешается при высоких уровнях на входах EА...ЕD. При низком уровне на входе разрешения соответствующий выход данных переходит в разомкнутое состояние. Разрешающие импульсы должны быть низковольтными. Выходной сигнал канала ПУ переключается либо к высокому уровню (если на входе—высокий, сплошная линия), либо к низкому (если на входе—низкий, штриховая линия). При этом значения времени задержки распространения уровней «разомкнуто Z» до высокого В или низкого Н составят: $t_{\text{зд.р.}}^{0,Z} = 375 \text{ нс}$, $t_{\text{зд.р.}}^{1,Z} = 60 \text{ нс}$, $t_{\text{зд.р.}}^{Z,1} = 325 \text{ нс}$. Времена формирования сигнала при этом $t_{\text{зд.р.}}^{1,0} = 300 \text{ нс}$, и $t_{\text{зд.р.}}^{0,1} = 115 \text{ нс}$. Для 564ПУ6 нет ограничений последовательности включения пи-

тающих напряжений $U_{\text{и.п.к.}}$ и $U_{\text{и.п.с.}}$ и подачи входных сигналов. Микросхему можно эксплуатировать при условии $U_{\text{и.п.к.}} > U_{\text{и.п.с.}}$, что соответствует преобразованию от высокого уровня к низкому.



Состояния преобразователя высокого логического уровня в низкий (микросхема К564ПУ6)

Вход		Выход (Q _A , Q _B , Q _C , Q _D)
A, B, C, D	EА, EВ, EС, EД	
H	B	H
B	B	B
×	H	Z



Преобразователи уровней ТТЛ—КМОП К564ПУ7 с инверсией и К564ПУ8 без инверсии располагаются в плоских корпусах с шагом выводов 1,27 мм.

4. Коммутаторы цифровых и аналоговых сигналов

Поскольку канал полевого транзистора размыкается и замыкается при изменениях управляющего потенциала и затвор тока управления не потребляет, полевой ключ может разрывать последовательные электрические цепи. Такой электронный контакт и цепь его нагрузки с источником управляющего потенциала гальванически не связаны. На этом основан принцип как одиночного ключа коммутации, так и многопозиционных полупроводниковых переключателей, так называемых коммутаторов.

Коммутаторы могут иметь много входов и один выход, либо быть дифференциальными. Дифференци-

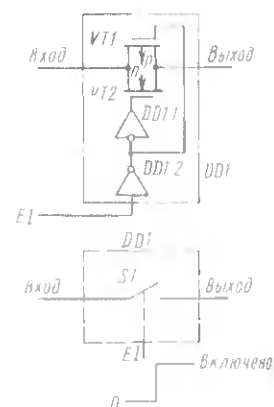
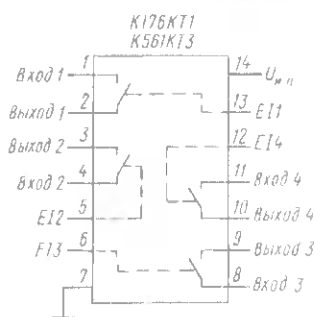
альный коммутатор посылает сигнал из выбранной пары проводов в выходную двухпроводную линию.

Электронные контакты КМОП двунаправленные, поэтому сигнал можно подать на выход коммутатора (это теперь одиночный вход), и, выбрав адрес, направить ток на один из многих выходов (номинально—входы). Коммутаторы КМОП пропускают как аналоговые, так и цифровые сигналы. В последнем варианте одна и та же микросхема может работать как цифровой мультиплексор и как демультимплексор.

Микросхемы К176КТ1 и К561КТ3—это четырехканальные коммутаторы, которые имеют одинаковую принципиальную схему и цоколевку. Эквивалентная схема ключа—однополюсная, т.е. только на замыкание электронного контакта. Управляющей кнопкой служит вход EI , активный уровень замыкания сигнала на котором высокий $EI = V$. Для микросхем К176КТ1 сопротивление канала примерно 500 Ом при напряжении открывания на входе EI 9В. Неидентичность сопротивления каналов ± 10 Ом, канал пропустит цифровые уровни с амплитудой до $U_{н.п.}$, либо аналоговые с амплитудой от пика до пика до $\pm U_{н.п.}/2$. При нагрузке 10 кОм на частоте 10 кГц отношение сигналов на выходе канала в замкнутом и разомкнутом состояниях не хуже 65 дБ. Степень изоляции управляющей цепи от канала соответствует сопротивлению 10^{12} Ом. Прохождение сигнала с частотой 900 кГц на нагрузку 1 кОм из канала в канал оценивается на -50 дБ. Время задержки распространения сигнала в канале 10...25 нс. Коммутаторы можно применить в следующих аналоговых узлах: переключатели-мультиплексоры, ключи выборки сигнала, прерыватели-модуляторы для операционных усили-

телей, коммутационные ключи, модуляторы-демодуляторы. Можно делать коммутаторы для нестандартных ЦАП и АЦП, а также схемы цифрового управления частотой, фазой, коэффициентом усиления сигнала. Удобно делать «врезки» одних сигналов в другие.

Коммутатор К651КТ3 имеет малое сопротивление включенного канала 80 Ом, согласование каналов с точностью ± 5 Ом.

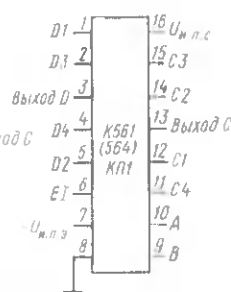
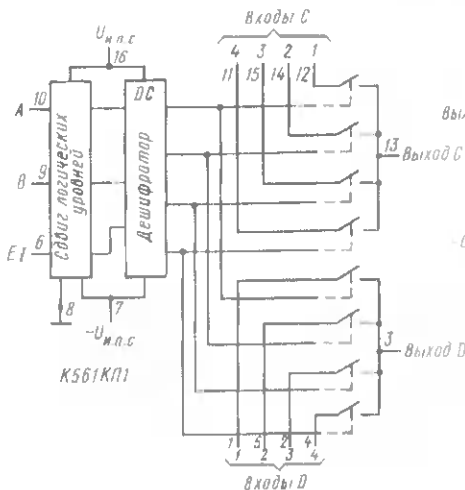
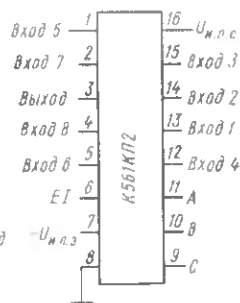
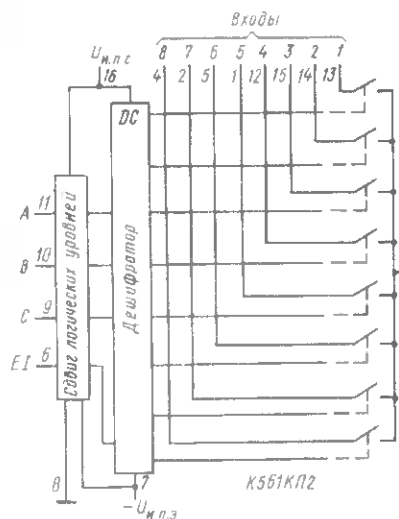


Микросхемы К562КП2 и К561КП1—демультиплексоры, содержащие восемь каналов коммутации цифровых и аналоговых сигналов. Микросхема КП2 имеет восемь входов и один выход. В микросхеме КП1 те же восемь каналов образуют четырехканальный дифференциальный коммутатор. Положительное пита-

ние подается на вывод 16, а на вывод 7—отрицательное. Для восьмиканального варианта нужен трехразрядный код управления (А, В, С). Для четырех каналов достаточно два разряда управления А и В. Если на входе разрешения Е1 уровень высок, все каналы разомкнуты.

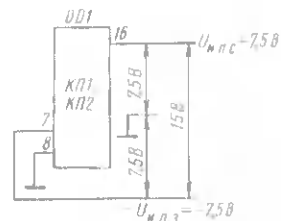
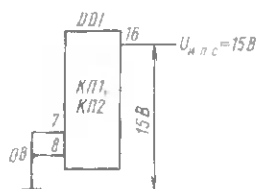
Управление каналами в микросхемах КП2 и КП1

Вход КП2				Включен канал КП2	Вход КП1			Выключен канал КП1
Е1	С	В	А		Е1	В	А	
Н	Н	Н	Н	1	Н	Н	Н	(1С, 1D)
Н	Н	Н	В	2	Н	Н	В	(2С, 2D)
Н	Н	В	Н	3	Н	В	Н	(3С, 3D)
Н	Н	В	В	4	Н	В	В	(4С, 4D)
Н	В	Н	Н	5	В	×	×	
Н	В	Н	В	6				
Н	В	В	Н	7				
Н	В	В	В	8				
В	×	×	×	—				

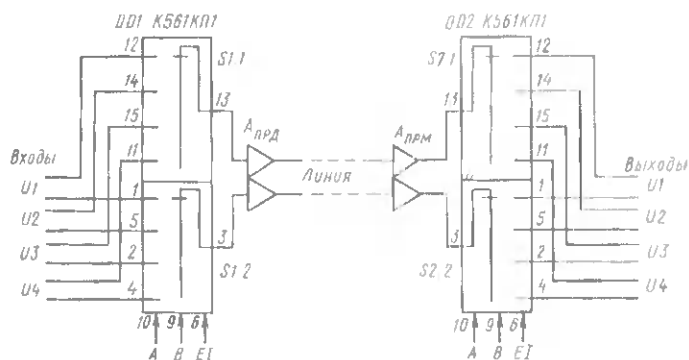


Сопротивление включенного канала при $U_{и.п.с.} = 5$ В составляет 0.5...2.5 кОм; при $U_{и.п.с.} = 15$ В оно уменьшается до 0.13...0.28 кОм. Время задержки распространения не превышает 30 нс.

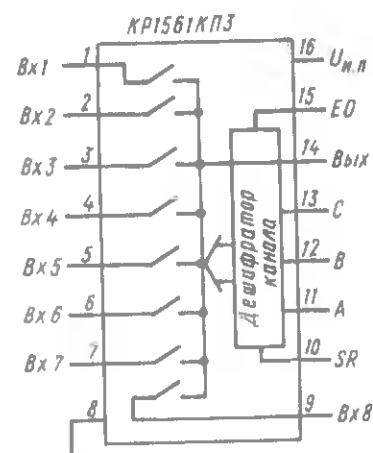
КП1 и КП2 можно включить с одним источником питания 15 В. Если это напряжение поделить на два: 7.5 В + 7.5 В = 15 В, то отрицательное напряжение -7.5 В (вывод 7) позволит передавать двухполярное аналоговое напряжение с амплитудой до ± 7.5 В, т.е. от $-U_{и.п.с.}$ до $U_{и.п.с.}$.



Двухпроводную линию связи с уплотнением каналов можно построить на двух микросхемах КП1. От четырех источников $U1...U4$, не имеющих общей точки, сигналы через коммутатор попадают на дифференциальный приемник-усилитель. После приемного демультиплексора на четырех независимых выходах получаем выборки сигналов $U1...U4$. Переключение адресов А, В и команды Е1 на приемной станции следует синхронизировать с передающей.



микросхема КР1561КПЗ—восьмиканальная, с дешифратором, вывода для отрицательного питания иет. Четырехканальный мультиплексор КР4 рассмотрен ранее как элемент И/ИЛИ. Для него время задержки включения/выключения менее 50 нс при $U_{и.п.}=10В$ и $C_H=15 пФ$.



5. Триггерные микросхемы КМОП

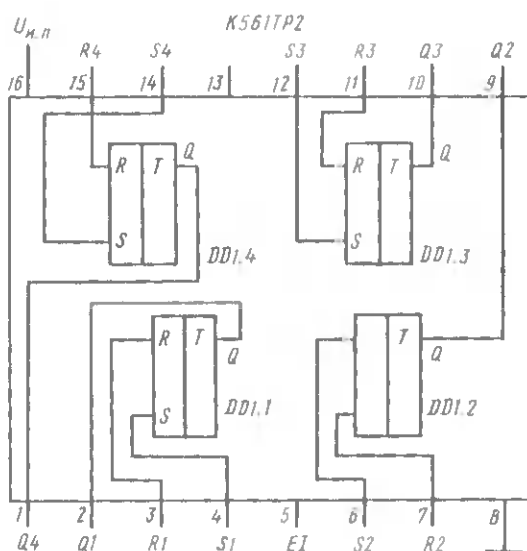
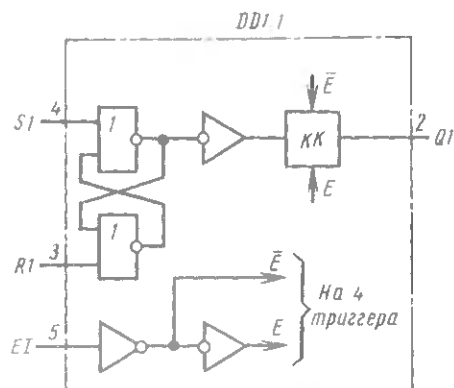
Среди микросхем КМОП присутствуют все типы триггеров: *RS*, *D* и *JK*. Наиболее популярны *D*-триггеры, причем в микросхемах ТМ1 и ТМ2 их содержится по два, а в ТМ3—четыре. Микросхема ТВ1 содержит два универсальных *JK*-триггера.

Микросхема К561ТР2 содержит четыре *RS*-триггера, что удобно для накопления 4-разрядных двоичных слов. Каждая защелка имеет третье выходное *Z*-состояние. Выходы переходят в *Z*-состояние, если на вход *EI* дается низкий уровень. Каждый триггер состоит из *RS*-защелки (два инвертора ИЛИ), инвертора и ключа коммутации *КК*, который управляется от шин *E* и $\bar{E}$, объединяющих все четыре канала. Входов данных два: *R* и *S*. Низкие уровни на них состояние выходов не меняют. Если $R=1$ и $S=1$, триггер эту информацию не защелкивает, но на выходе *Q* транслируется $S=1$ (пока она присутствует).

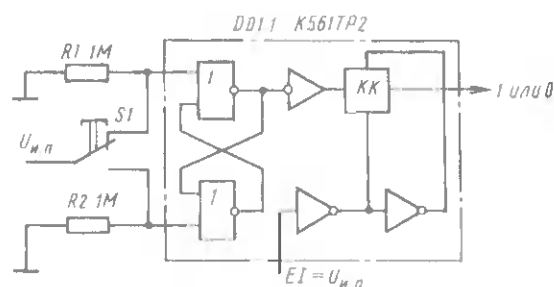
Время задержки распространения сигнала для триггера К561ТР1 не превышает 200 нс, время перехода к состоянию *Z* не более 100 нс.

Состояния *RS*-защелки в микросхеме К561ТР2

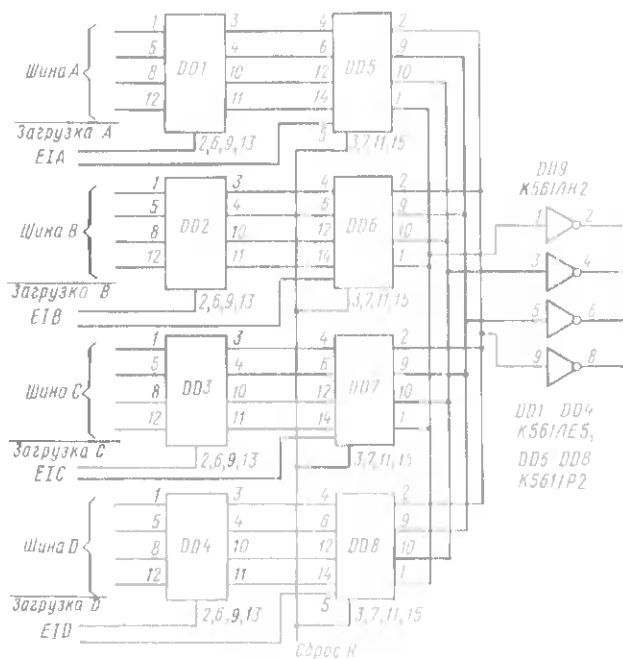
Вход			Выход Q_n
<i>EI</i>	<i>S_n</i>	<i>R_n</i>	
Н	×	×	<i>Z</i>
В	В	Н	В
В	Н	В	Н
В	В	В	В
В	Н	Н	Не меняется



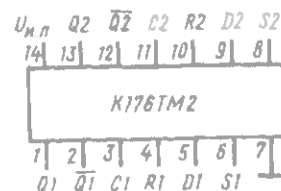
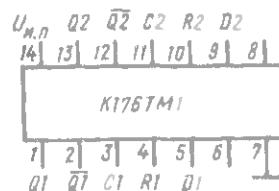
Применив *RS*-защелку, можем устранить генерацию ложных единиц, возникающих от дребезга переключаемого контакта *S1*. На выходе *DD1* получим единственный гарантированный импульс записи.



Устройство на RS-триггерах позволяет последовательно загружать данные от четырех шин данных $A...D$ в общую, выходную. Например, по команде Загрузка В (активный уровень—низкий) данные от выбранной шины B проходят через четыре усилителя микросхемы $DD2$, фиксируются четырьмя триггерами микросхемы $DD6$, если на входе разрешения этой шины $E1B$ присутствует высокий уровень. На входах разрешения $E1A, E1C, E1D$ должны быть низкие уровни, размыкающие выходы (следовательно, сигналы Загрузка В и Разрешение $E1B$ должны быть инверсными). Выходные сигналы передаются в четырехпроводную шину через инверторы, содержащиеся в микросхеме $DD9$ К561ЛН2. Зафиксированные в $DD6$ данные можно на определенное время сохранить. Для полного сброса даем на вход R высокий уровень.

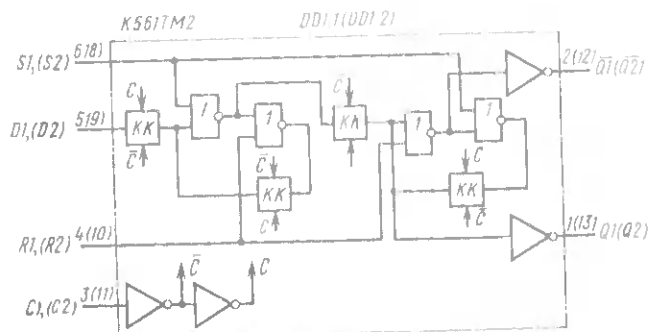


Микросхемы $K176TM1$ и $K561TM2$ содержат по два D -триггера, причем триггер в $TM1$ имеет только вход сброса R , а в $TM2$ есть оба входа асинхронного управления S и R . Триггер переключается по положительному перепаду на тактовом входе C , при этом логический уровень, присутствующий на входе D передается на выход Q . Входы сброса R и установки S триггера независимы от тактового входа C и имеют высокие активные уровни. Максимальная тактовая частота до 5 МГц, но время фронта тактового сигнала не должно превышать 5 мкс. С другой стороны, длительность тактового импульса не должна быть менее 100 нс. Время установления выходных данных—более 25 нс.



Состояния D-триггера из микросхемы $K176TM2$

Вход				Выход	
Синхронный		Асинхронный			
<i>c</i>	<i>D</i>	<i>R</i>	<i>S</i>	<i>Q</i>	<i>Q̄</i>
	H	H	H	H	B
	B	H	H	B	H
×	×	B	H	H	B
×	×	H	B	B	H
×	×	B	B	B	B



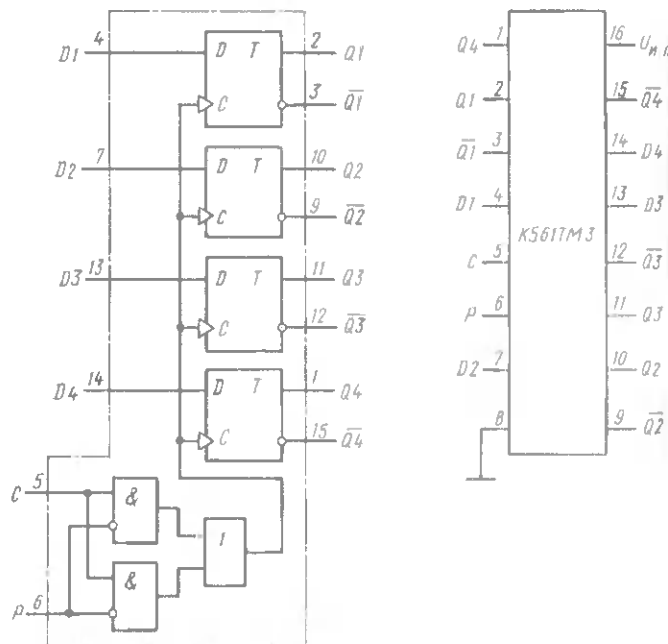
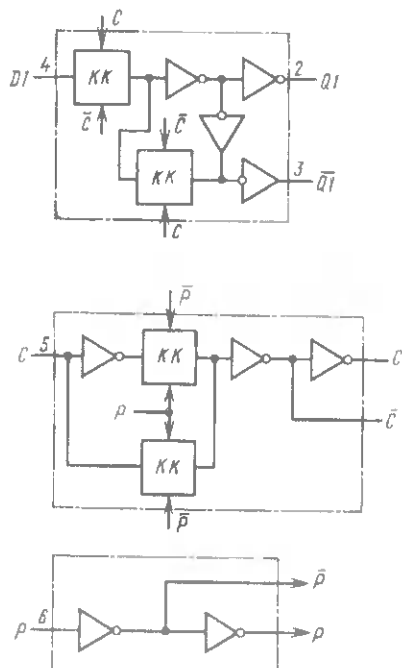
Микросхема K561TM3 содержит четыре D -триггера, каждый из которых имеет индивидуальный вход D и два выхода Q и $\bar{Q}$. Тактовый вход C —общий, как и вход переключения полярности P . Если на входе P уровень низкий, информация от входа D появится на выходе Q во время низкого уровня тактового импульса C . Если на входе P —высокий уровень, данные передаются при высоком уровне на входе C .

Если на вход C пришел перепад (положительный при $P=0$ и отрицательный при $P=1$), информация, присутствующая во время этого перепада на вход D , задерживается до прихода тактового импульса проти-

воположной полярности. Длительность тактового импульса должна превышать 120 нс, время хранения состояния триггера также более 120 нс.

Управление триггером в микросхеме K561TM3

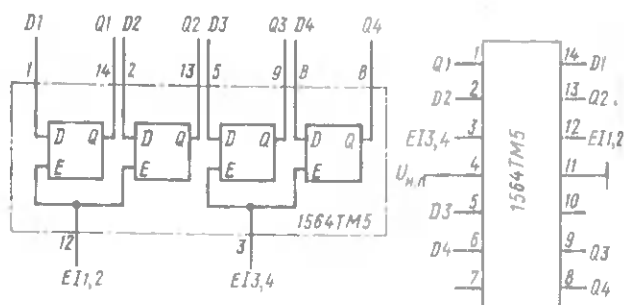
Вход		Выход Q
C	P	
H	H	Трансляция D
$\neg$	H	Фиксация D
B	B	Трансляция D
$\neg$	B	Фиксация D



Микросхема 1564TM5—это КМОП-эквивалент микросхемы ТТЛ K555TM5. Содержит две пары D -триггеров, составляющих две защелки по два бита. Загрузка разрешается, если $EI=B$, при этом текущий сигнал на входе D (это 1 или 0) отображается на выходе Q . Если на входе EI состоялся перепад от B к H , то сигнал защелкивается; по входу D приема нет.

Состояния триггеров из микросхемы 1564TM5

Режим	Вход		Выход
	EI	D	Q
Разрешен прием данных на входе	B	H	H
	B	B	B
Данные защелкиваются	H	$\times$	q



Микросхемы K561TB1 состоят из двух независимых JK -триггеров. Каждый триггер имеет асинхронные входы R и S , два выхода Q и $\bar{Q}$. Данные можно подать на синхронные входы J и K согласно первым четырем строкам таблицы. Сигнал, поданный на вход J или K ,

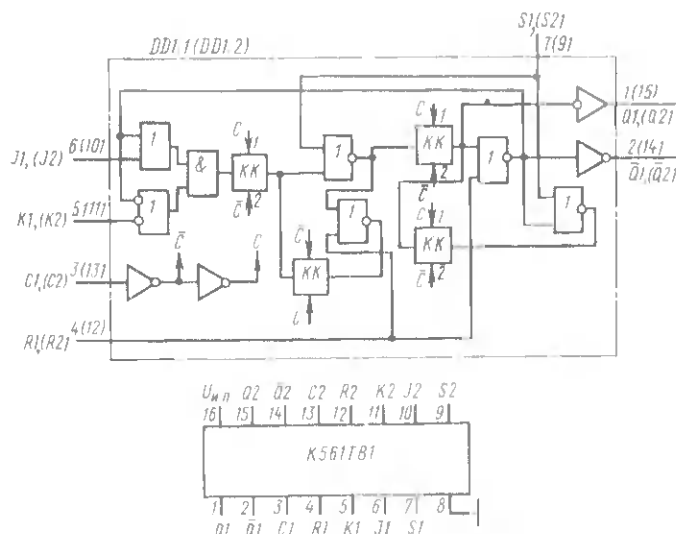
появится на выходах Q и $\bar{Q}$ после прихода на тактовый вход C положительного перепада. Отрицательный перепад на входе C на информацию в триггере не влияет.

Состояния триггера в микросхемах К176 и К561ТВ1

Предыдущие состояние					C	Следующее состояние выхода	
входа		выхода				Q	Q̄
J	K	S	R	Q			
B	И	И	И	И	┌─	B	И
B	И	И	И	B	┌─	B	И
И	B	И	И	И	┌─	И	B
И	B	И	И	B	┌─	И	B
B	B	И	И	×	┌─	Счет	
×	×	B	И	×	×	B	И
×	×	И	B	×	×	И	B
×	×	B	B	×	×	B	B
						Не фиксируется	

Последние три строки таблицы отображают действие асинхронных входов S и R . Пока на этих входах присутствует напряжение высокого уровня, на выходах Q и $\bar{Q}$ также будут напряжения высокого уровня.

Максимальная тактовая частота для триггера из ТВ1 составляет 3 МГц (для делителя частоты :2). Длительность тактового импульса должно превы-



шать 170 нс, однако время фронта и среза не должно быть короче 5 нс. Длительность импульсов S и R —не менее 120 нс.

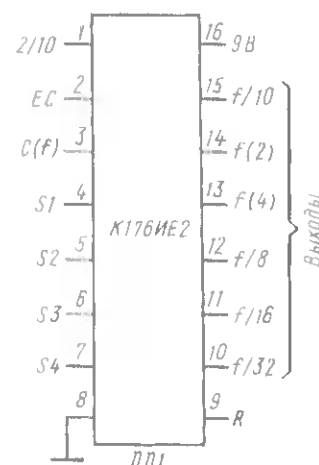
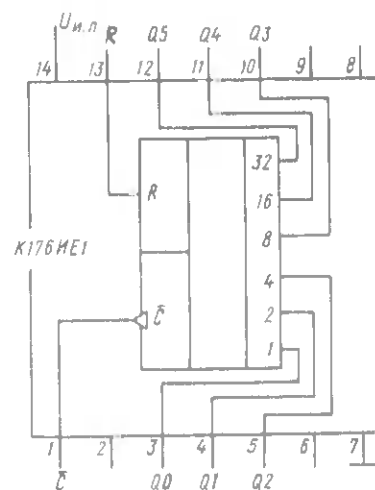
6. Счетчики

Счетчики-делители составляют несколько групп: ИЕ3-ИЕ5, ИЕ12 и ИЕ13 предназначены для построения схем электронных секундомеров, часов, таймеров; счетчики ИЕ8 и ИЕ9 имеют дешифрованные выходы (10 и 8 коммутаторных выводов соответственно); ИЕ11 и ИЕ14—однотипные, реверсивные. Разные способы деления частот реализуются на счетчиках ИЕ2, ИЕ10, ИЕ16, ИЕ19.

Микросхема К176ИЕ1—шестиразрядный счетчик-делитель, который удобно использовать совместно с таймером. Каждый отсчет кода на выходах соответствует отрицательному перепаду на тактовом входе C . Сброс выходных данных в ноль—асинхронный, когда на вход R придет высокий уровень.

Микросхема К176ИЕ2—счетчик, который может работать как двоичный и как десятичный. Счетчик имеет пять двоичных выходов (выводы 10...14) и один десятичный (15). По входам $S1...S4$ (выводы 4...7) можно записать в счетчик предварительные данные. По входу R счетчику дается асинхронный сброс. На вывод 3 подается сигнал тактовой частоты f . По входу $2/10$ переключается формат счета. Если на входе $2/10$ уровень высокий, счетчик работает как двоичный; при низком, нулевом потенциале—как десятичный, и на выходе 15 появляются импульсы с частотой $f/10$.

Простейшее включение счетчика ИЕ2: выводы 2 и 16 соединить, выводы 4, 5, 6, 7 и 8—заземлить. На вывод 3 подать частоту f . На выводах 14, 13, 12, 11, 10 появятся частоты $f/2$, $f/4$, $f/8$, $f/16$, $f/32$ соответственно. Вывод EC (т.е. 2) служит для разрешения счета.



Микросхема К176ИЕЗ—счетчик, который снабжен дешифратором для «зажигания» элементов семисегментных индикаторов. Тактовая частота f подается на вывод 4. На выводах 2 и 3 получим частоты $f/2$ и $f/6$. Выводы 8...13 и 1 — это выходы для присоединения к каждому из семи сегментов цифрового индикатора НГ1.

Если индикатор светодиодный, с общим катодом, вывод 6 следует заземлить. Если индикатор с общим анодом, на вывод 6 надо дать высокий потенциал. Для жидкокристаллических индикаторов на этот вывод G подается модулирующая частота 30...200 Гц. Сброс показаний индикатора в нуль дается по входу R : на вывод 5 подаем единицу.

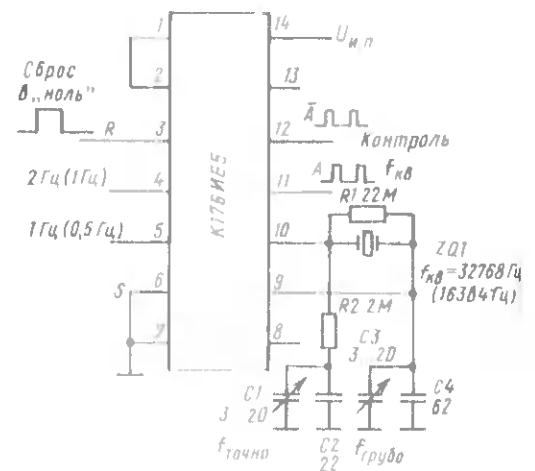
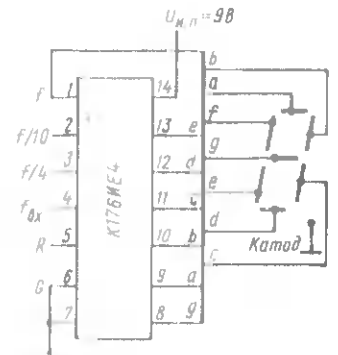
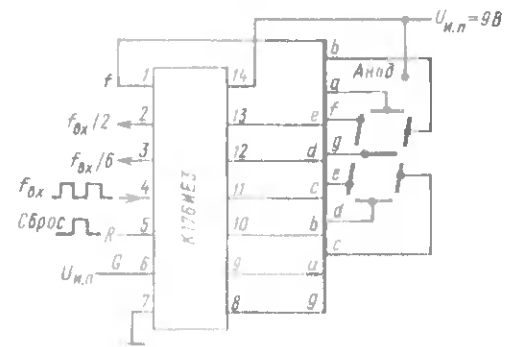
Микросхема К176ИЕ4—десятичный вариант предыдущего счетчика ИЕЗ. Отличается тем, что на выводе 2 выделяется последовательность с частотой $f/10$, а на выводе 3 — $f/4$.

Назначение счетчиков ИЕЗ и ИЕ4—обслуживание семисегментного индикатора в электронных часах или в цифровом измерительном приборе.

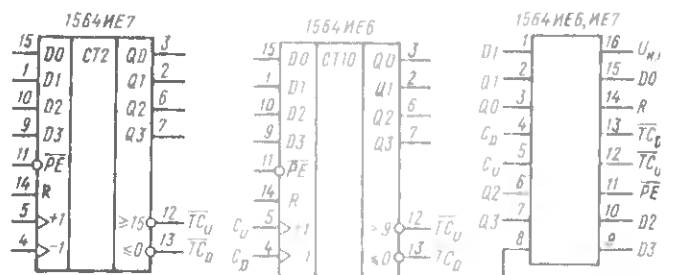
Микросхема К176ИЕ5—счетчик для генерации секундных импульсов в электронных часах и других програматорах и таймерах. К выводам 9 и 10 подключается кварцевый резонатор, либо сюда подается эталонная частота от постороннего генератора. Частота кварцевого резонатора f может быть 16384 Гц (т.е. 2^{14} Гц), либо 32768 Гц, что соответствует 2^{15} Гц. На буферных выходах 11 и 12 присутствует сформированная последовательность единиц и нулей с частотой f . На выводе 1 имеется частота $f/2^8$. Вывод 4 дает частоту $f/2^{14}$ а вывод 5 — $f/2^{15}$. Таким образом, на выводе 4 будет последовательность секундных интервалов при входной частоте $f=2^{14}$, а на выводе 5 секундная последовательность появится при $f=2^{15}$ Гц. Чтобы счетчик давал секундную последовательность, выводы 1 и 2 следует перемкнуть, поскольку вывод 2—это вход частоты $f/2^8$.

Микросхемы 1564ИЕ6 и 1564ИЕ7—счетчики синхронные, четырехразрядные, реверсивные. По цоколевке и применению взаимозаменяемые со счетчиками 533ИЕ6, 533ИЕ7, К555ИЕ6 и К555ИЕ7. Счетчик ИЕ7 двоичный, считает от 0 до 15 и до 0. Счетчик ИЕ6—двоично-десятичный, пределы реверсивного счета: 0...9...0. Положительный перепад на тактовом входе увеличения C_U (или уменьшения C_D) прибавляет к содержимому (или вычитает из него) единицу.

Если $R=PE=N$, можно асинхронно загрузить в счетчик байт $D0...D3$, который появится на выходах $Q0...Q3$ с задержкой 40 нс. Соединив оба выхода окончания счета TC_U и TC_D непосредственно с C_U и C_D следующей микросхемы, получим 8-разрядный счетчик, который не будет полностью синхронным. На-



правление счета следует менять во время плоской вершины тактового импульса (C_U (или C_D)). При низких потенциалах $C_U=C_D=N$ счетчики на переключаются.



Режимы счетчиков 1564ИЕ6 и ИЕ7

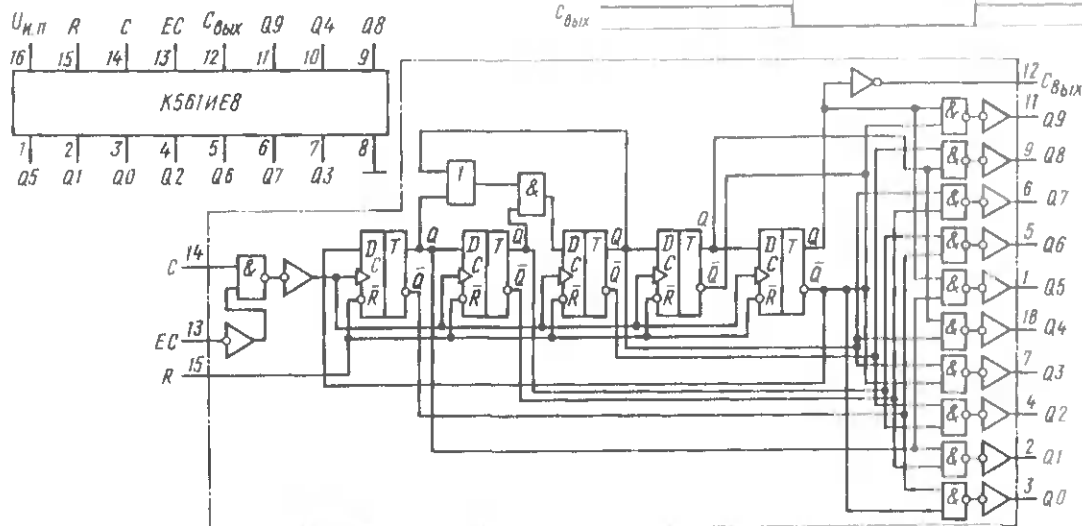
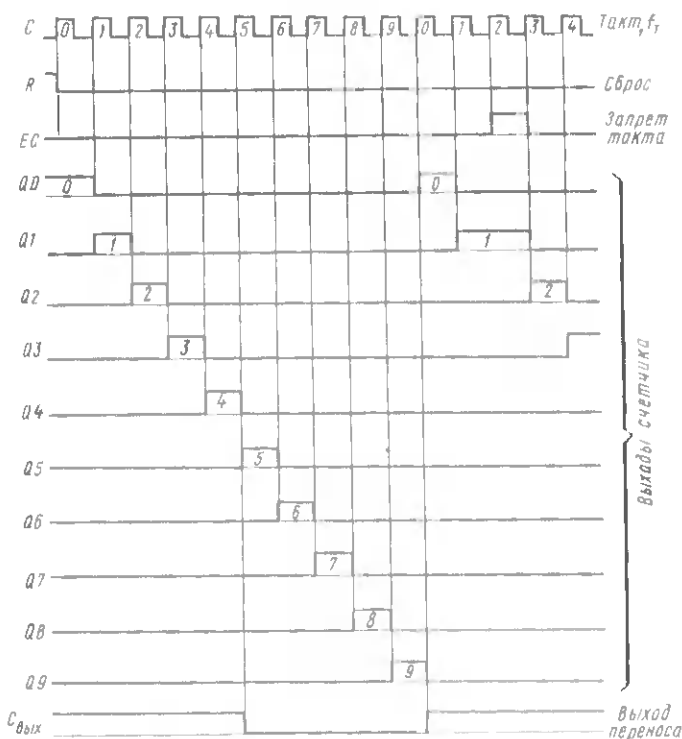
Режим	Входы								Выходы					
	R	$\overline{PE}$	C_U	C_D	D0	D1	D2	D3	Q0	Q1	Q2	Q3	$\overline{TC_U}$	$\overline{TC_D}$
Сброс	B	×	×	H	×	×	×	×	H	H	H	H	B	H
	B	×	×	B	×	×	×	×	H	H	H	H	B	B
Параллельная загрузка для	ИЕ6	H	H	×	H	H	H	H	H	H	H	H	B	H
		H	H	×	B	H	H	H	H	H	H	H	B	B
		H	H	H	×	B	H	H	B	$Q_n = D_n$			H	B
		H	H	B	×	B	H	H	B	$Q_n = D_n$			B	B
	ИЕ7	H	H	H	×	B	B	B	B	B	B	B	H	B
		H	H	B	×	B	B	B	B	B	B	B	B	B
Счет	H	B	$\overline{1}$	B	×	×	×	×	На увеличение				B	B
		B	B	$\overline{1}$	×	×	×	×	На уменьшение				B	B

Микросхемы К176ИЕ8 и К561ИЕ8—десятичные счетчики-делители. Они имеют 10 дешифрованных выводов $Q0...Q9$. Внутренняя схема содержит пятикаскадный счетчик Джонсона и дешифратор, который преобразует двончный код в сигнал, появляющийся последовательно на каждом выходе счетчика. Если на входе разрешения счета EC присутствует низкий уровень, счетчик выполняет свои операции синхронно с положительным перепадом на тактовом входе C . При высоком уровне на входе EC

действие тактового входа запрещается и счет останавливается (см. третью линию на диаграмме). При высоком уровне на входе сброса R счетчик очищается до нулевого отсчета.

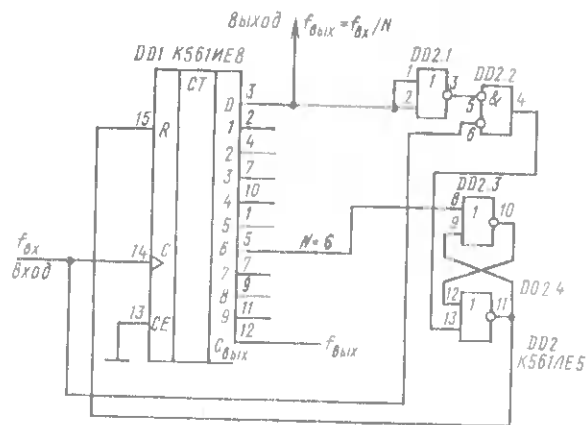
Состояния счетчиков К176ИЕ8 и К561ИЕ8

Вход			Режим
R	C	EC	
B	×	×	$Q0 = C_{вых} = B$, $Q1...Q9 = H$
H	$\overline{1}$	$\overline{1}$	Счетчик работает
H	$\overline{1}$	H	» »
H	H	×	Код без изменений
H	×	B	» »
H	B	$\overline{1}$	» »
H	$\overline{1}$	H	» »



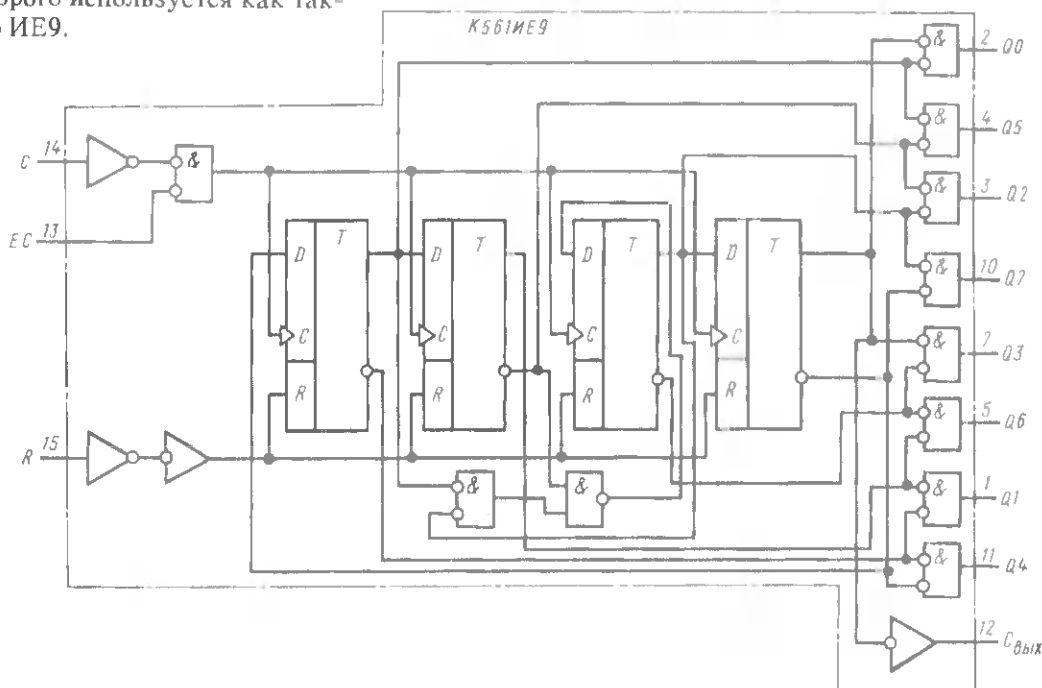
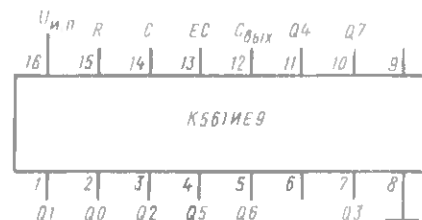
На каждом выходе дешифратора высокий уровень появляется только на период тактового импульса с соответствующим номером. Счетчик имеет выход переноса $C_{\text{вых}}$. Положительный фронт выходного сигнала переноса появляется через десять периодов тактовой последовательности и используется поэтому как тактовый сигнал для счетчика следующей декады. Максимальная тактовая частота — 2 МГц. Длительность импульса запрета счета должна превышать 300 нс, длительность тактового импульса не должна быть меньше, чем 250 нс, а сброса — 275 нс.

В схеме применения счетчика К561ИЕ8 с укороченным циклом от выхода N , где $2 < N < 9$, импульс подается на сброс RS -триггера (используются ключи $DD2.3$ и $DD2.4$ дополнительной микросхемы К561ЛЕ5). Если $N=6$, то счетчик ИЕ8 будет работать как делитель на 6, что необходимо для устройства отсчета секунд и минут для часов. Выходной сигнал с частотой $f_{\text{вых}} = f_{\text{вх}} / N$ появляется на выходе переноса и используется для запуска следующего каскада. Дополнительный RS -триггер запускается при совпадении тактового импульса $f_{\text{вх}}$ и импульса нулевого отсчета от К561ИЕ8.



Если выбрано $N < 6$, то на выходе переноса не сможет выделиться положительный фронт (см. диаграмму). В этом случае в качестве сигнала переноса (такт следующего счетчика) используйте импульс от выхода $Q0$. Счетчик ИЕ8 — одна из наиболее популярных КМОП-микросхем.

Микросхема К561ИЕ9 — счетчик-делитель на 8. Однотипный с предыдущим, он имеет в основе четырехразрядный счетчик Джонсона. Особенность счетчика Джонсона — в выходном сигнале отсутствуют «кליки» помех. Выходных состояний у данного счетчика — восемь, соответствующих счету от 0 до 7. Диаграмма выходных сигналов ИЕ9 совпадает с диаграммой ИЕ8 в части действия импульсов: запрет счета и сброса. При восьмом тактовом импульсе цикл счета завершает сигнал выходного переноса $C_{\text{вых}}$, положительный фронт которого используется как тактовый для последующего ИЕ9.

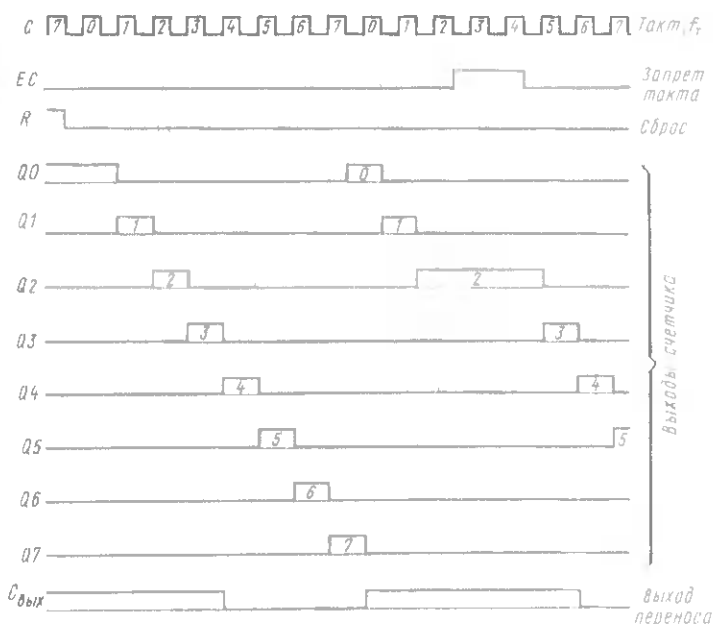


Многокаскадная схема асинхронная, хотя каждый из счетчиков ИЕ8 и ИЕ9—синхронные.

Длительность тактового импульса должна превышать 250 нс, поэтому максимальная тактовая частота—2 МГц. При напряжении питания 15 В требуется обеспечить длительность импульса сброса более 300 нс, время его последействия составляет 275 нс. При напряжении питания $U_{и.п.}=5В$ оно окажется равным 1 мкс. Схема симметричного деления интервалов на число $2 < N < 8$ строится аналогично схеме для ИЕ8.

Состояния счетчика К561ИЕ9

Вход			Режим
R	C	EC	
B	×	×	$Q0 = C_{вых} = B$, $Q1...Q7 = H$
H	B	—	Счетчик работает
H	—	H	» »
H	H	×	Код без изменений
H	×	B	» »
H	B	—	» »
H	—	H	» »

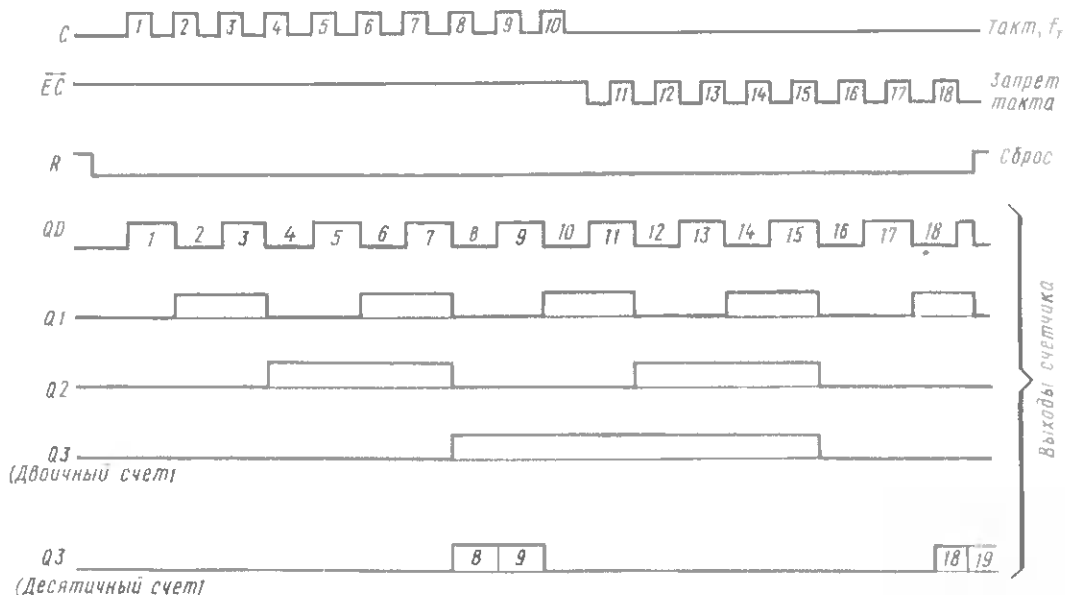


Микросхема К561ИЕ10 содержит два синхронных двоичных счетчика-делителя без дешифраторов. Каждый счетчик основан на четырех D-триггерах. Линии C и $\overline{EC}$ (тактовая и разрешения тактов) взаимозаменяемые, но отличаются противоположными активными уровнями, поэтому можно организовать счет по каждому фронту такта: по положительному и по отрицательному.

В обычном режиме на вход $\overline{EC}$ следует подать напряжение высокого уровня, поэтому ход счета окажется синхронным с каждым положительным тактовым импульсом. Счетчик работает при напряжении высокого уровня на входе сброса R. Нулевые уровни на выходах Q получаются, если на входе асинхронного сброса R будет присутствовать напряжение низкого

Состояния счетчика К561ИЕ10

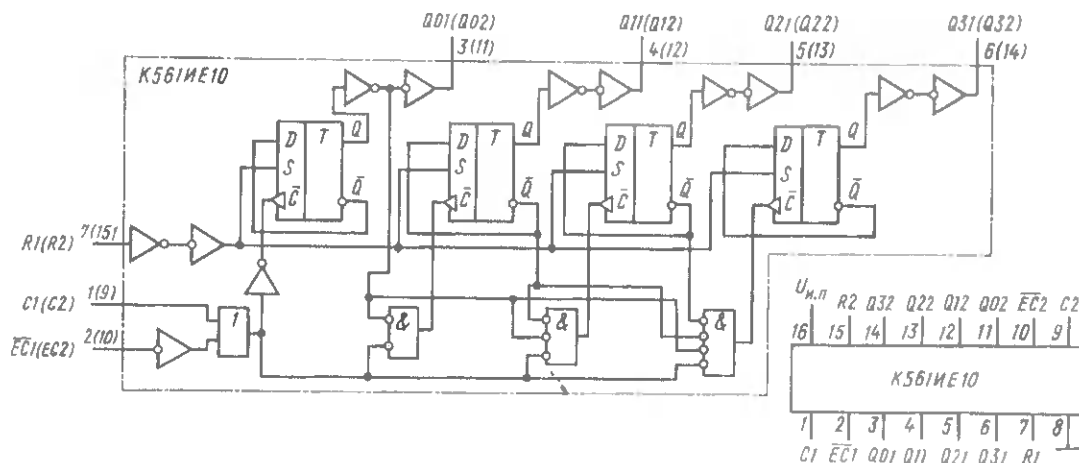
Вход			Режим
C	$\overline{EC}$	R	
—	B	H	Счетчик работает
H	—	H	» »
—	×	H	Код не меняется
×	—	H	» »
—	H	H	» »
B	—	H	» »
×	×	B	Асинхронный сброс



уровня. По второй строке таблицы видно, что напряжение низкого уровня на тактовом входе может быть разрешающим, тогда тактовым станет вход $\overline{EC}$. Счетным перепадом станет отрицательный на входе $\overline{EC}$.

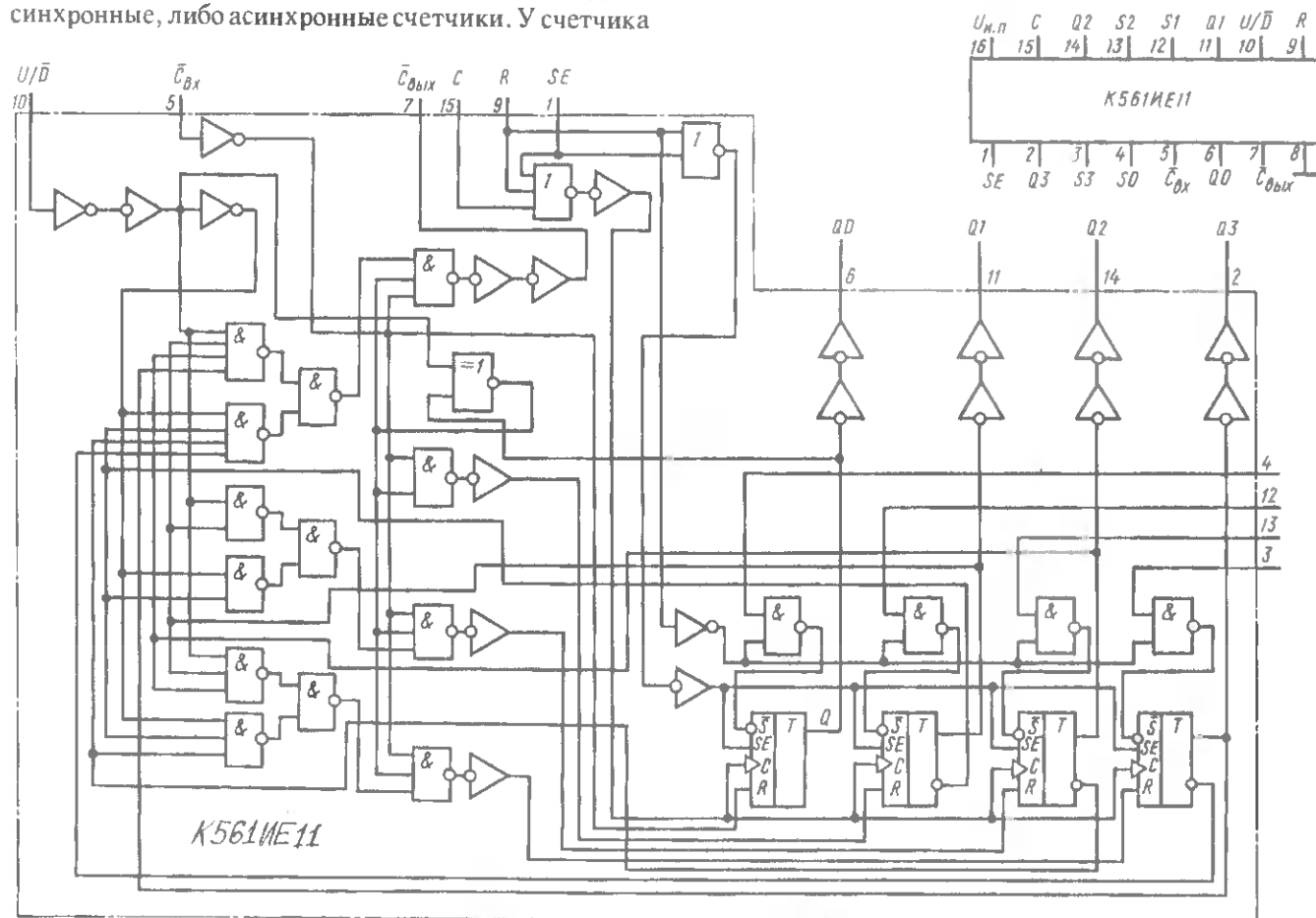
Последовательное соединение синхронных счетчиков будет асинхронным. Выход $Q3$ первого счетчика надо соединить со входом $\overline{EC}$ последующего, подав на его тактовый вход напряжение низкого уровня.

При напряжении питания $U_{н.п.}=15В$ максимальная тактовая частота достигает 4 МГц, минимальная длительность импульсов: сброса 80 нс, разрешения 140 нс. При питании 5В значения этих параметров в три раза хуже: 1.5 МГц, 250 нс, 400 нс. Восьмая линия диаграммы сигналов показывает выходной сигнал $Q3$ (дес) десятичного варианта данного счетчика (микросхема $CD4518B$).



Микросхема $K561IE11$ —двоичный четырехразрядный реверсивный счетчик. Его удобно применять для подсчета приращения данных, причем несколько корпусов $IE11$ можно соединять в многокаскадные синхронные, либо асинхронные счетчики. У счетчика

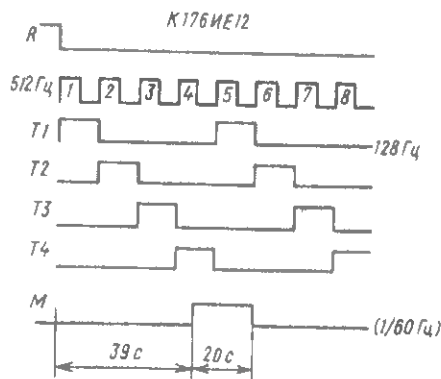
четыре выхода $Q0...Q3$, входы предварительной записи-установки $S0...S3$, а так же вход разрешения этой операции SE . Вход и выход переноса $\overline{C}_{вх}$ и $\overline{C}_{вых}$ имеют активные напряжения низкого уровня.



Активный тактовый перепад C —положительный; сброс в ноль R —асинхронный при высоком уровне на входе R . Счет на увеличение и на уменьшение переключается по входу $U/\bar{D}$ (Больше/Меньше). Микросхема считает, если на вход переноса $\bar{C}_{\text{вх}}$, а также на входе SE и R даны низкие уровни. Если на входе $U/\bar{D}$ высокий уровень, код на выходах будет увеличиваться. Если $U/\bar{D}$ присоединен к низкому уровню, содержимое счетчика будет уменьшаться на единицу при каждом положительном скачке на входе C .

Для асинхронного каскадирования следует соединить $\bar{C}_{\text{вых}}$ с тактовым входом C последующей микросхемы. При синхронном каскадировании следует тактовые входы соединить параллельно и дать сигнал

Микросхема K176IE12 содержит два двоичных счетчика-делителя и генераторную часть. Микросхема специализирована для работы в электронных часах с динамической индикацией. Генератор стабилизируется кварцевым резонатором 32768 Гц, который вместе с сопутствующими деталями замыкает цепь обратной связи внутреннего генератора (выводы A и $\bar{A}$, т.е. 12 и 13). Для контроля работы генератора есть вывод K (14). Секундные метки дает делитель на 2^{16} на своем выходе $S1$ (вывод 4). На выходе $S2$ (вывод 6)—частота сигнала 2 Гц. Делитель вырабатывает сигнал $F=1024$ Гц. Это звук для будильника (вывод 11). На выходах $T1...T4$ следуют импульсы с частотой



Микросхема K176IE13 работает в комплексе с IE12. Она содержит на кристалле: счетчики минут и часов, регистр памяти для будильника, цепи сравнения текущего и записанного времени, формирователь звукового сигнала. Приняв цифры в двоичном коде, микросхема последовательно переводит их в семисегментные, но с помощью дополнительных дешифраторов K176ИД2 или ИД3.

Состояние счетчика K561IE11

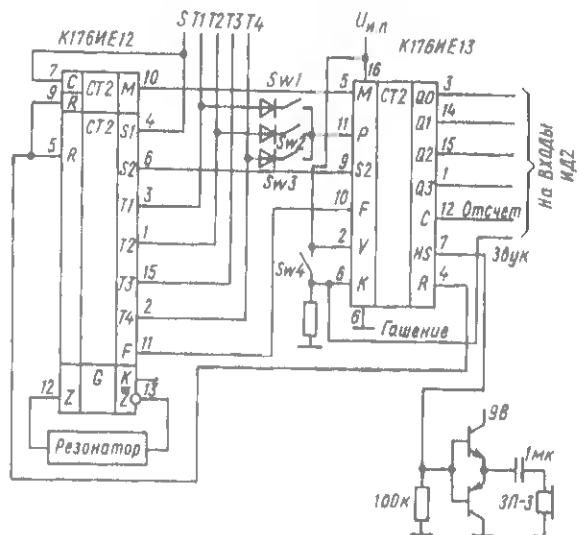
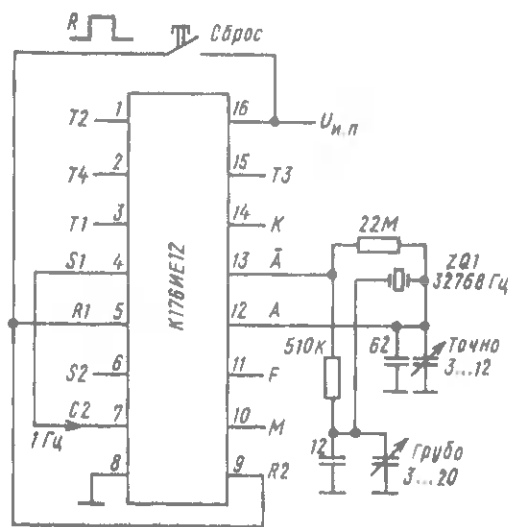
C	Вход				Режим
	$\bar{C}_{\text{вх}}$	$U/\bar{D}$	SE	R	
$\times$	V	$\times$	H	H	Не считает
$\begin{smallmatrix} \text{—} \\ \end{smallmatrix}$	H	V	H	H	Код меньше
$\begin{smallmatrix} \text{—} \\ \end{smallmatrix}$	H	H	H	H	Код меньше
$\times$	$\times$	$\times$	V	H	Предварительная установка
$\times$	$\times$	$\times$	$\times$	V	Сброс

переноса $\bar{C}_{\text{вых}}$ на вход переноса $\bar{C}_{\text{вх}}$ последующего, более старшего счетчика.

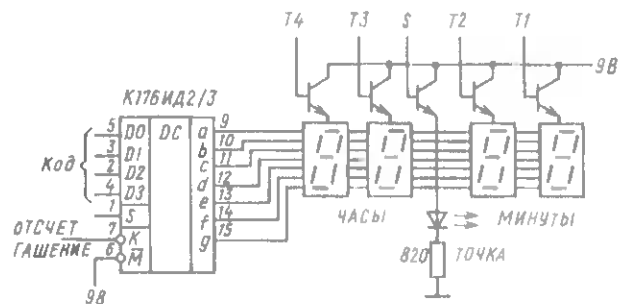
Сигнал $U/\bar{D}$ можно менять без помех для счета при высоком уровне на тактовом входе C .

128 Гц, взаимно сдвинутые, как показано на диаграмме. Эти импульсы поочередно зажигают четыре индикатора минут и часов; скважность их свечения 1:4 позволяет экономить мощность потребления.

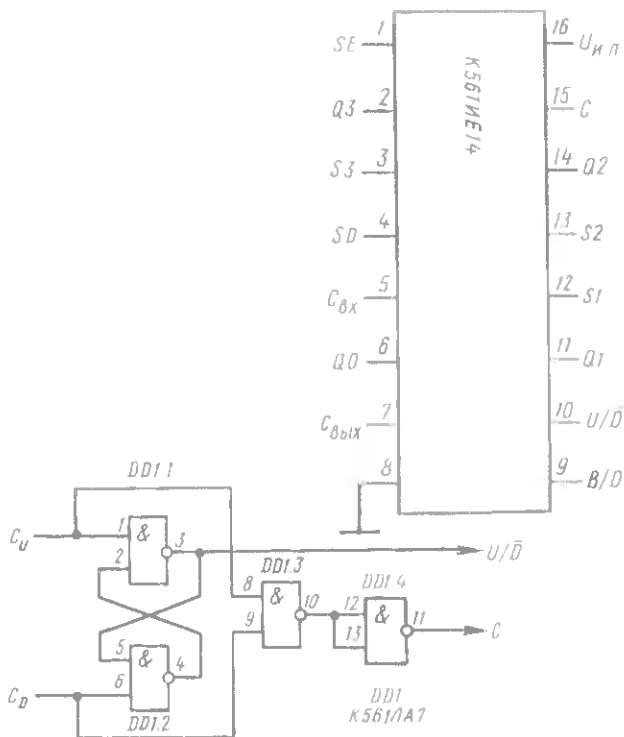
Второй делитель микросхемы дает минутные отсчеты, длительность которых 20 с. Он получает тактовую частоту $S1=1$ Гц и делит ее на 60. Сброс первому и второму счетчикам можно дать положительный импульсом по входам $R1$ (вывод 5) и $R2$ (вывод 9).



Когда от ИЕ12 приходит единица по проводу $T1$, на выходах $Q0...Q3$ появляется двоичный код текущей минуты, в момент $T2$ транслируется цифра десятка минут, $T3$ — единицы часов, $T4$ — первый или второй десяток часов. На эти же моменты подается импульс питания на соответствующий индикатор. На выходе C (вывод 12) — импульс мигающей секундной точки. Сигнал от вывода K (6) используется для гашения индикаторов через ИД2 или ИД3. От вывода 7 (HS) звуковой сигнал через драйвер возбуждает «пьезопищалку».



Микросхема K561ИЕ14 — четырехразрядный реверсивный счетчик. Может работать как двоичный и как десятичный. Для повышения быстродействия внутренняя структура снабжена схемой ускоренного переноса. У счетчика четыре разрядных выхода $Q0...Q3$ и выход переноса $C_{вых}$. Вход тактовых импульсов C единый на увеличение и на уменьшение. Если на дополнительной микросхеме K561ЛА7 собрать защелку, получим отдельные тактовые входы на увеличение и на уменьшение: C_U и C_D . Если на вход поступит высокий уровень, на вход переключения направления счета $U/\bar{D}$ микросхемы ИЕ14 попадет низкий уровень и счет будет уменьшаться. На другом выходе C схемы формируется единая тактовая сетка, которую следует подать на вывод 15 ИЕ14.



Запрещается счет, т.е. действие тактового импульса, если на вход переноса дается высокий уровень $C_{вх}=B$. С помощью входа разрешения предварительной записи SE , когда на нем присутствует напряжение высокого уровня, можно записать в счетчик начальный код по входам $S0...S3$. Если на эти провода поданы напряжения низкого уровня, то соответствующие разряды получают нулевой отсчет. Чтобы счетчик давал приращение (или уменьшение) содержимого на единицу при каждом положительном тактовом перепаде C , на входы $C_{вх}$ и SE надо дать низкие уровни.

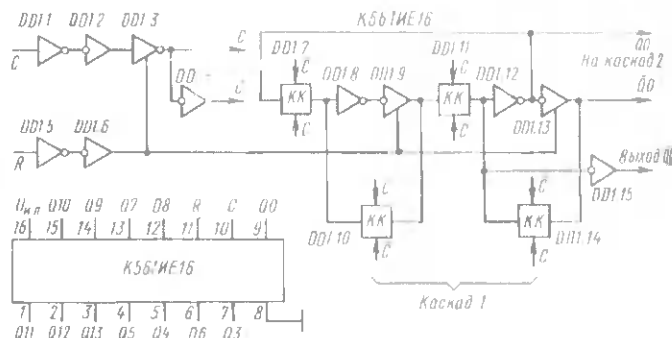
Счетчик увеличивает содержимое, если на вход $U/\bar{D}$ (Больше/Меньше) дан высокий уровень. При напряжении низкого уровня на входе $U/\bar{D}$ счет уменьшается.

Нормальный уровень на выходе переноса $C_{вых}$ высокий. Он переходит к низкому, если в режиме «Больше» счет стал максимальным (или минимальным в режиме «Меньше»). В это время на входе $C_{вх}$ сигнал разрешающий, т.е. напряжение низкого уровня. Если вывод $C_{вх}$ не используется, его следует подключить к нулю. Счет будет в двоичном формате, если на входе $B/\bar{D}$ (Бинарный/Децимальный) присутствует напряжение высокого уровня. Счет десяти-

чный получится, если на вход $B/\bar{D}$ дано напряжение низкого уровня. Счетчик увеличивает содержимое, если на вход $U/\bar{D}$ (Больше/Меньше) дан высокий уровень. При напряжении низкого уровня на входе $U/\bar{D}$ счет уменьшается.

Соединив параллельно тактовые входы нескольких ИЕ14, получим быстрый синхронный счет. Максимальная тактовая частота для счетчика K561ИЕ14 — 2 МГц при $U_{н.п.}=10В$, время установления режимов после их переключения — более 460 нс, длительность времени импульса предварительной записи по входам $S0...S3$ не менее 320 нс (660 нс при питании 3 В).

Микросхема K561ИЕ16 содержит 14-разрядный асинхронный счетчик пульсаций. Счетчик имеет каскад, обостряющий тактовые импульсы. Входная часть имеет формирователь и первый триггер «мастер-помощник». Выходной провод $Q0$ получает сигнал от буферного инвертора.

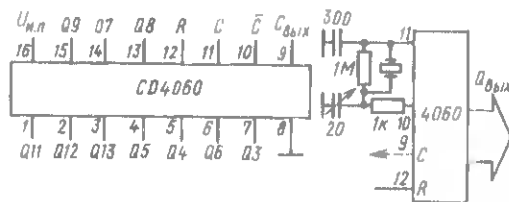
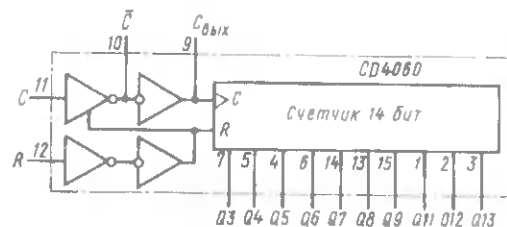


Сигналы управления счетчиком K561IE16

Вход управления	Сигнал	Режим
Бинарный/Децимальный ($B/\bar{D}$)	1 (B)	Двоичный счет
	0 (B)	Десятичный счет
Больше/Меньше ($U/\bar{D}$)	1	Счет на увеличение
	0	Счет на уменьшение
Разрешение установки (SE)	1	Прием от параллельных входов
	0	Нет приема
Вход переноса (запрет тактовых импульсов) ($C_{вх}$)	1	После тактового перепада не считает
	0	Считает

Счетчик сбрасывает выходные сигналы в нуль при напряжении высокого уровня на входе сброса R . Содержимое счетчика увеличивается как отклик на каждый отрицательный перепад на тактовом входе. Максимальная тактовая частота достигает 3 МГц, длительность импульса сброса должна превышать 550 нс.

Микросхема $CD4060$ —весьма популярный 14-разрядный двоичный счетчик-делитель пульсаций. Отличается от предыдущего выводами от входных инверторов, чтобы можно было использовать их в схеме

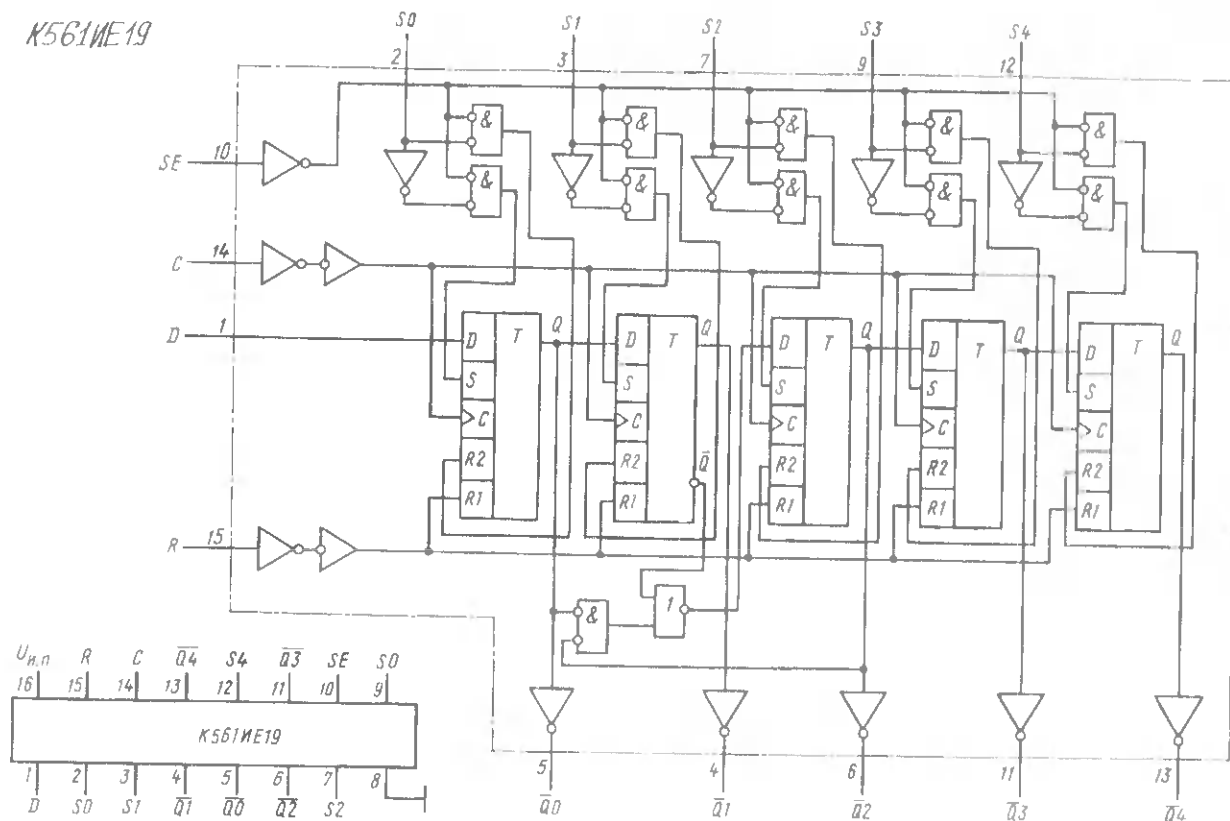


автогенератора, а так же измененным, поэтому комплектом выходов разрядов. Между выводами 10 и 11 (C и $\bar{C}$) можно включить пьезорезонатор или конденсатор. Максимальная частота генерации—4 МГц. От вывода 9 можно взять сформированную последовательность $C_{вх}$. Общий сброс выходов в нуль получится, если на вход R дать высокий уровень.

Микросхема $K561IE19$ —пятиразрядный синхронный счетчик по схеме Джонсона. От каждого триггера счетчика сделан инверсный выход $\bar{Q}_0...Q_4$ через буферные инверторы. Счетчик имеет пять входов пред-

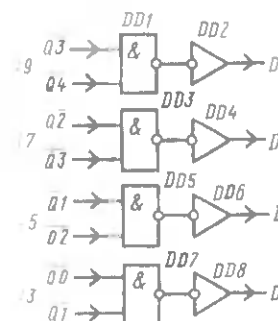
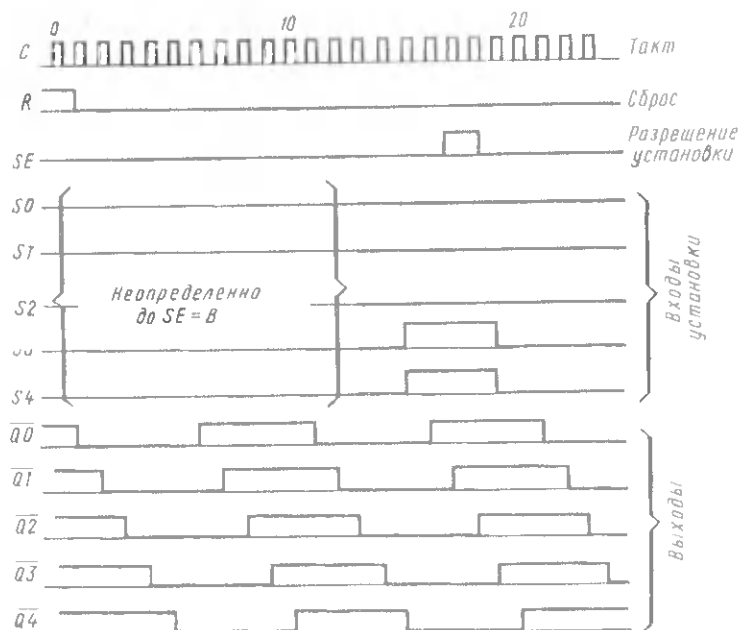
варительной записи $S_0...S_4$, тактовый вход C , вход последовательных данных D , вход сброса R . Входами $S_0...S_4$ можно пользоваться, если подать высокий уровень разрешения установки на вход SE .

K561IE19

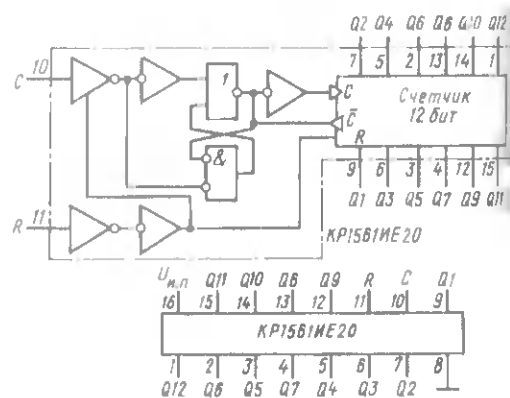


Показанная на диаграмме сигналов фазировка выходных импульсов $Q_0...Q_4$ позволяет строить на ИЕ19 каскады деления частоты на число N , где $2 \leq N \leq 10$. Для деления на четное число $N=2, 4, 6, 8, 10$ добавочные элементы не нужны. Требуется присоединить ко входу D выход Q_4 при делении на 10, Q_3 — на 8, Q_2 — на

6, Q_1 — на 4 и Q_0 — на 2. При необходимости деления на нечетное число ко входу надо присоединить через двухвходовой элемент И два выходных сигнала, выбрав их согласно рисунку. Максимальная тактовая частота для счетчика 2 МГц, максимальное время установления выходных сигналов — 300 нс.



Микросхема КР1561ИЕ20 содержит 12-разрядный счетчик пульсаций с полным набором выходов Q_n от каждого разряда. Сброс в ноль асинхронный, если на вход R дан высокий уровень. Каждый шаг выходного кода появляется синхронно с отрицательным перепадом тактового импульса C , поскольку внутренние триггеры двухступенчатые «мастер-помощник». При напряжении питания 5В импульс C должен быть длительнее 400 нс (при 10 В — 120 нс), но время спада и нарастания его не должны быть более 15 мкс. Длительность импульса $Reset$ не менее 1.25 мкс и 0.6 мкс соответственно.



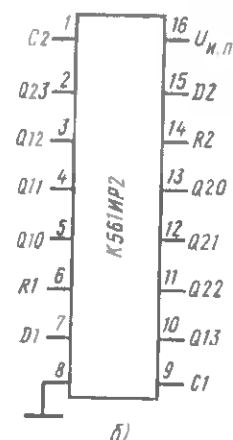
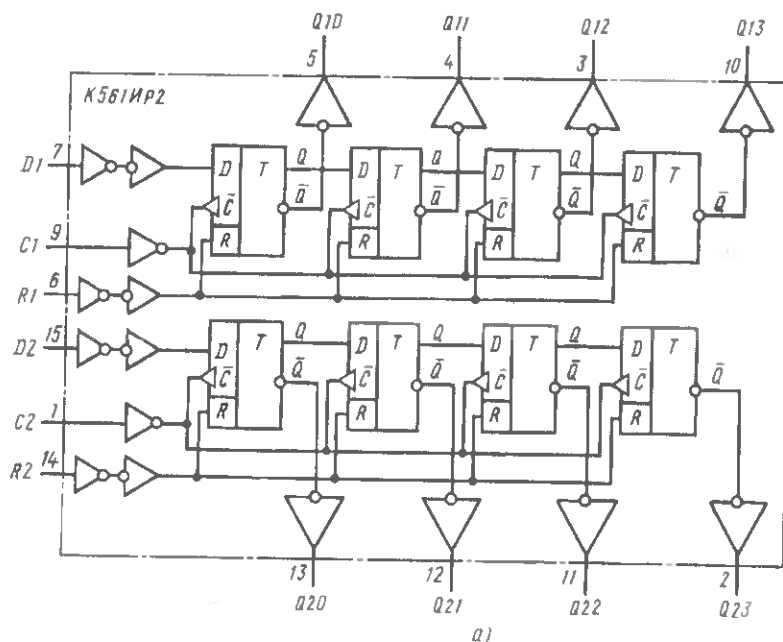
7. Регистры

Среди микросхем среднего уровня интеграции, выполненных на логических элементах КМОП, важное место занимают четырех-, восьми- и двенадцатиразрядные регистры.

Микросхемы К561ИР2 содержат два независимых, четырехразрядных регистра сдвига. Все триггеры регистров двухступенчатые, D-типа. От каждого триггера есть выход Q . Данные вводятся через последова-

Состояния регистра из микросхемы К561ИР2

Вход			Выход	
C	D	R	Q_0	Q_n
—	H	H	H	Q_{n-1}
—	B	H	B	Q_{n-1}
—	X	H	Q_1	Без изменения Q_n
X	X	B	H	H



тельный вход D . Данные принимаются от этого входа и сдвигаются поразрядно после каждого положительного перепада на входе C . Сброс в ноль выходных данных Q происходит, когда на вход асинхронного сброса R дано напряжение высокого уровня.

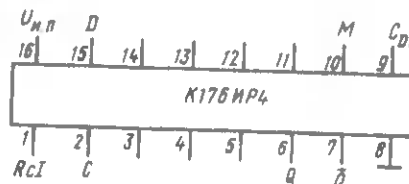
Четыре выхода каждого регистра позволяют преобразовать последовательный код, принятый по входу D , в параллельный, отображаемый через четыре так-

та на выходах $Q0...Q3$. Из одного корпуса ИР2 можно сделать восьмиразрядный регистр-преобразователь, соединив последовательно оба регистра.

Тактовая частота регистра 2.5 МГц, но для устойчивости переключения триггеров длительность тактового перепада не должна превышать 15 мкс. В качестве формирователя используйте триггер Шмитта ТЛ1 или ТЛ2.

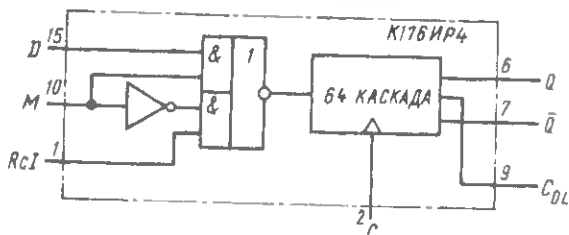
Микросхема К176ИР4— 64-каскадный статический регистр сдвига. Данные подаем на первый каскад, (вход D , вывод 15). Они будут сдвигаться к выходам Q и $\bar{Q}$ синхронно с положительным перепадом на входе C . Накопленное «длинное» слово надо хранить в регистре при низком уровне на входе C . Имеется вход режима M —mode control. Если $M=0$, регистр данные принимает от входа D ; при $M=1$ включается режим рециркуляции, здесь вход данных RcI , вывод 1.

Несколько корпусов ИР4 можно соединить последовательно. Входы C либо просто соединяем вместе, либо используем выход задержанной тактовой последовательности C_{DL} . В первом случае выше скорость работы, но требуется мощный драйвер импульсов C ; во втором — упрощается схема формирования сигналов C , выход Q — мощный, работает на ТТЛ-нагрузку. Главное применение: последовательные регистры для задержки потока данных.



Перенос в К176ИР4

D_n	C	D_{n+1}
0	—	0
1	—	1
×	—	Хранение



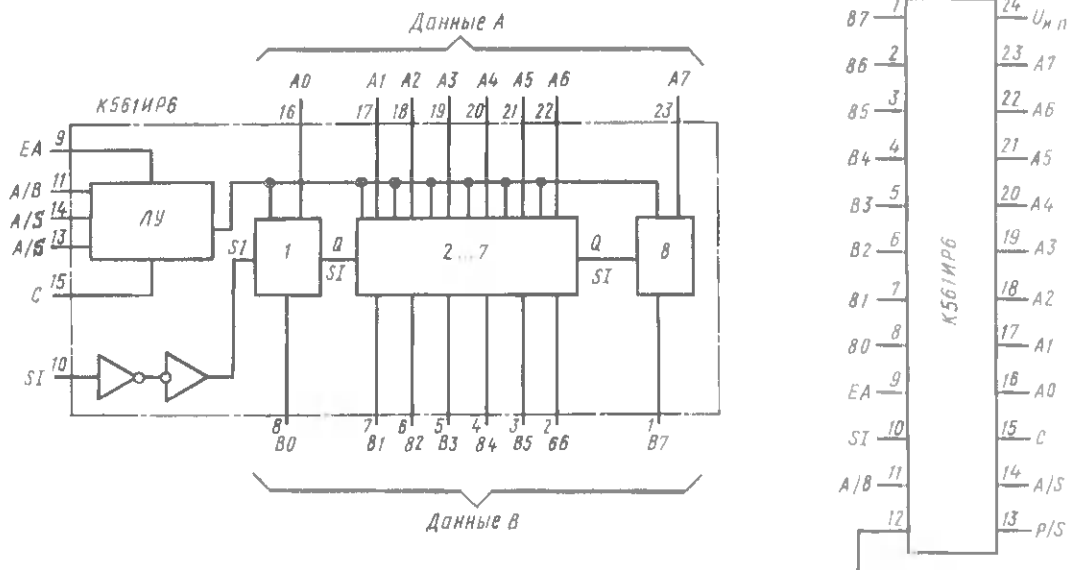
Режимы К176ИР4

Присл D	Режим		Бит в каскаде 1
	Рсирк.	M	
1	×	0	1
0	×	0	0
×	1	1	1
×	0	1	0

Микросхема К561ИР6 — 8-разрядный, двунаправленный шинный регистр со входами и выходами как параллельными, так и последовательными. Регистр имеет: последовательный вход данных *SI*, тактовый вход *C*, вход *EA* разрешения линиям *A*, входы переключения асинхронного и синхронного режимов *A/S*, а также режимов последовательного и параллельного *P/S*. Имеется также вход управления *A/B*, на который подается сигнал, разрешающий прием данных от 8-разрядных шин *A* или *B*. Каждый из восьми разрядов регистра имеет два двунаправленных входа/вы-

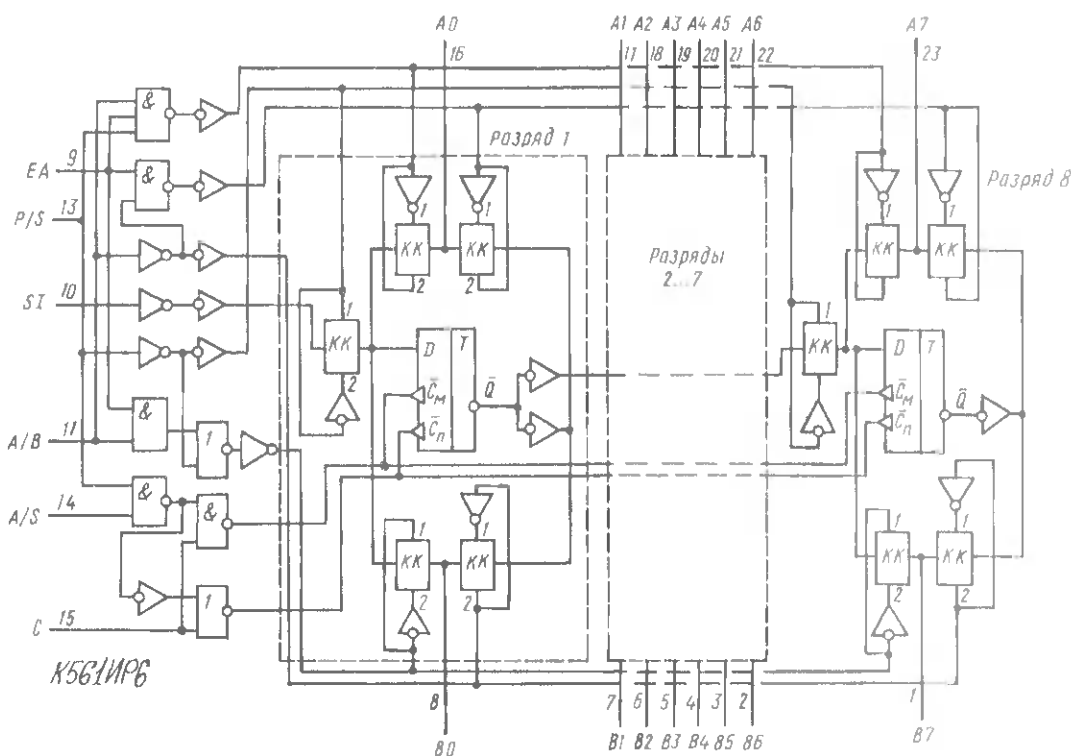
хода данных (всего 16). В зависимости от сигнала на входе *A/B* выбираются для работы с данными 8 линий *A* или восемь линий *B*.

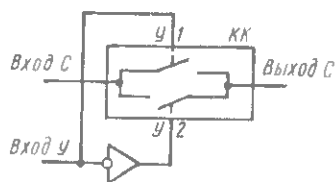
Регистр К561ИР6 применяется: для параллельного обмена информацией между двумя 8-разрядными шинами данных *A* и *B*; для преобразования последовательных данных в параллельные перед загрузкой их в шины *A* и *B*; для накопления и рециркуляции данных; для преобразования параллельных данных, пришедших по каждой шине, в последовательные, выходящие по одному проводу.



Внутри схемы регистра все триггеры двухступенчатые, *D*-типа с отдельными входами такта для ступеней «мастер» (вход $\bar{C}_M$) и «помощник» (вход $\bar{C}_N$). Сложная тактовая последовательность, генерируемая внутри микросхемы, позволяет надежно переносить данные из первого триггера во второй как в син-

хронном, так и в асинхронном режимах. Для переключения направления записи данных на вход *D*-триггеров и съема данных с их выводов $\bar{Q}$ (далее — после инверторов), в схеме регистра используются ключи коммутации.





Если рассмотреть часть схемы «Разряд 1», можно сделать вывод, что один из КК коммутирует последовательные данные от входа *SI* согласно сигналу управления, пришедшему на вход «Параллельно/Последовательно» *P/S*. По два КК обслуживают выводы *A0* и *B0*. Нетрудно видеть: если замкнуть левые ключи этих пар, провода *A0* и *B0* станут входами (правые

КК должны быть разомкнуты). Если поменять состояния этих пар КК, провода *A0* и *B0* станут выходами. Реально решается иная задача: все провода *A* и *B* по командам должны стать входами или выходами. Для такого переключения на вход *A/V* подается напряжение нужного уровня, а фазы переключения левых и правых КК выбраны противоположными.

Управление		Канал С (Вход-Выход)
<i>у1</i>	<i>у2</i>	
<i>Н</i>	<i>В</i>	Замкнут
<i>В</i>	<i>Н</i>	<i>З</i>

Рассмотрим режимы работы регистра ИР6. Параллельная работа регистра разрешается, если на вход *P/S* подано напряжение высокого уровня. В регистр данные, при этом, поступают синхронно с положительным тактовым перепадом, если на входе переключения режимов асинхронного и синхронного *A/S* присутствует напряжение низкого уровня. Если на входе *A/S* напряжение высокого логического уровня, режим приема становится асинхронным и не зависит от тактовых перепадов.

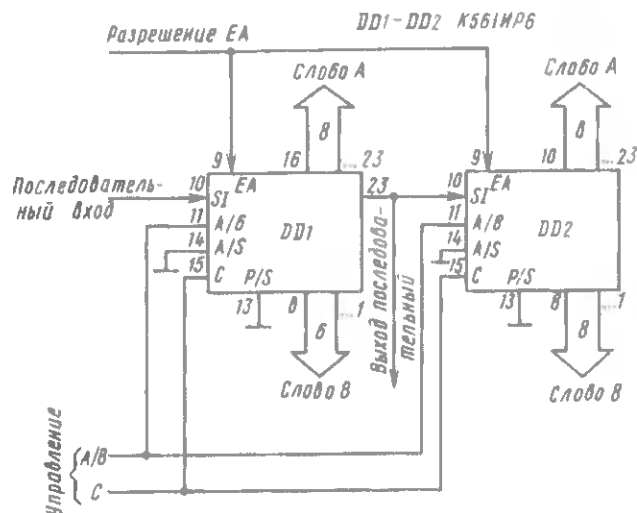
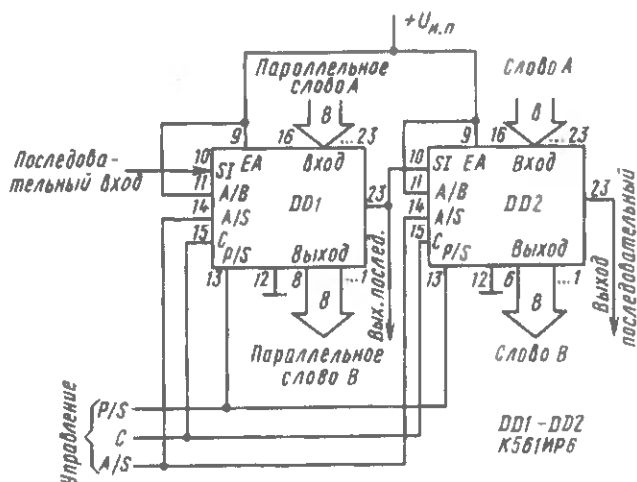
Вход переключения шин *A/V* меняет назначение линий *A* и *B*. Если на входе *A/V*—напряжение высокого уровня, линии *A* становятся входами, линии *B*—выходами регистра. Подав на вход *A/V* напряжение низкого уровня, меняем направление потока параллельных данных: они будут приниматься линиями *B*, а линии *A* станут выходами. Пользуясь входом *EA* разрешения линиям *A*, можно питать данными от одной шины несколько регистров К561ИР6. Линии *A* будут подключены (разрешены), если на вход *EA* подано напряжение высокого уровня. Данные в регистре зафиксируются, если сигнал на входе *A/V* будет высокого, а на входе *EA*—низкого уровня.

Регистр работает в последовательном режиме, если на вход *P/S* подано напряжение низкого уровня. Данные через последовательный вход *SI* будут продвигаться по регистру синхронно с каждым положительным перепадом на тактовом входе. Вход *A/S* запрещается внутренней схемой, поэтому невозможен асинхронный последовательный режим.

Последовательно записанные в регистр данные отображаются на линиях *B*, если на входе *A/V* присутствует напряжение высокого уровня или на линиях *A* (на входе *A/V*—напряжение низкого уровня, а на входе *EA*—высокого). Все возможные 12 режимов работы регистра ИР6 сведены в таблицу. Тактовая частота для данного регистра может превышать 3 МГц.

Режим работы регистра К561ИР6

Вход				Режим
<i>EA</i>	<i>P/S</i>	<i>A/V</i>	<i>A/S</i>	
<i>Н</i>	<i>Н</i>	<i>Н</i>	<i>×</i>	Последовательный синхронный ввод данных; данные на параллельных выходах <i>A</i> нет
<i>Н</i>	<i>Н</i>	<i>В</i>	<i>×</i>	Последовательный синхронный ввод данных; данные появляются на выходах <i>B</i>
<i>Н</i>	<i>В</i>	<i>Н</i>	<i>В</i>	Параллельный режим синхронных входов <i>B</i> ; данные на выходах <i>A</i> нет
<i>Н</i>	<i>В</i>	<i>Н</i>	<i>Н</i>	Параллельный режим асинхронных входов <i>B</i> ; данные на выходах <i>A</i> нет
<i>Н</i>	<i>В</i>	<i>В</i>	<i>В</i>	Параллельные входы данных <i>A</i> отключены; нет параллельных данных на выходах <i>B</i> ; данные асинхронно сбрасываются
<i>Н</i>	<i>В</i>	<i>В</i>	<i>Н</i>	Параллельные входы данных <i>A</i> отключены; нет параллельных данных на выходах <i>B</i> ; данные синхронно сбрасываются по разрядно
<i>В</i>	<i>Н</i>	<i>Н</i>	<i>×</i>	Синхронный последовательный ввод данных; есть данные на параллельных выходах <i>A</i>
<i>В</i>	<i>Н</i>	<i>В</i>	<i>×</i>	Синхронный последовательный ввод данных; есть данные на выходах <i>B</i>
<i>В</i>	<i>В</i>	<i>Н</i>	<i>Н</i>	Входы <i>B</i> синхронно параллельно принимают данные; на выходах <i>A</i> есть данные
<i>В</i>	<i>В</i>	<i>Н</i>	<i>В</i>	Входы <i>B</i> асинхронно принимают данные; на выходах <i>A</i> есть параллельные данные
<i>В</i>	<i>В</i>	<i>В</i>	<i>Н</i>	Входы <i>A</i> синхронно параллельно принимают данные; на выходах <i>B</i> — параллельные данные
<i>В</i>	<i>В</i>	<i>В</i>	<i>В</i>	Входы <i>A</i> асинхронно принимают данные; на выходах <i>B</i> — параллельные данные

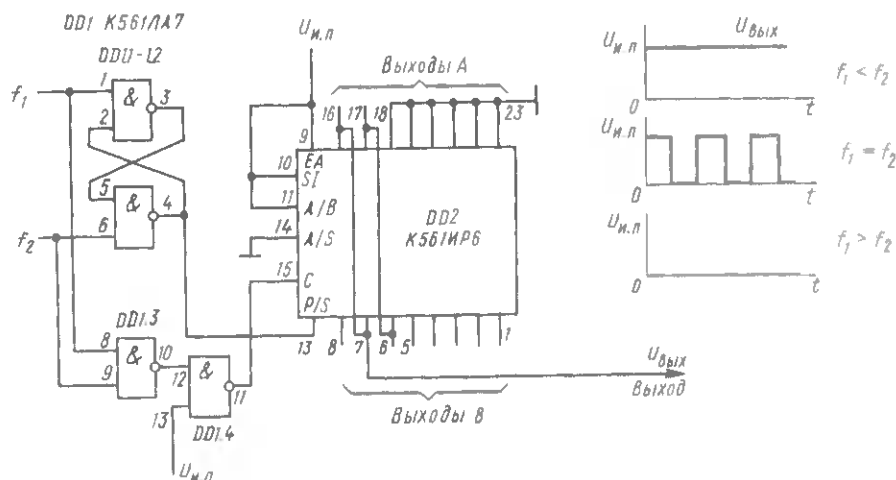


Регистр К561ИР6 пригоден для построения многих устройств: регистры сдвига влево и вправо с параллельной и последовательной загрузкой, регистр хранения адреса, шинный регистр в системе, генератор псевдослучайных последовательностей, кольцевой или синхронный счетчики. Шестнадцатиразрядный регистр может работать в режимах: параллельный прием—последовательная выдача, последовательный прием—параллельная выдача и последователь-

ные как прием, так и выдача данных. Переключение этих режимов осуществляется с помощью сигналов, даваемых по двум входам P/S , A/S . Рассмотрим 16-разрядный регистр с последовательным входом и параллельными выходами по шинам A и B . Шины выбираются с помощью входов A/B и разрешение EA , если уровни на них устанавливаются согласно первому и третьему столбцам таблицы режимов регистра.

Фазовый компаратор ФК, построен с помощью четырех двухвходовых инверторов $\bar{Y}$ и двух первых каскадов регистра К561ИР6. На выходе ФК появится напряжение $U_{м.п.}$, если частота $f_1 < f_2$, и нуль, если $f_1 > f_2$. При равенстве частот $f_1 = f_2$ на выходе присут-

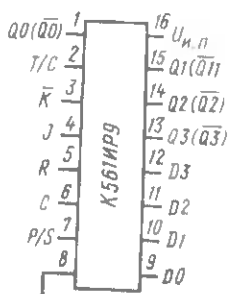
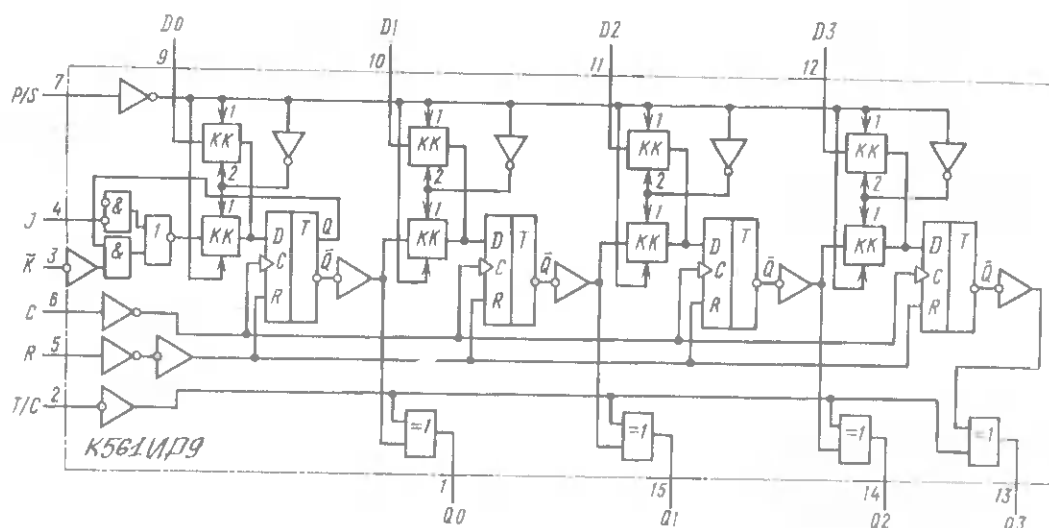
ствует симметричный меандр. Фазовый компаратор такого типа удобен для цифровых устройств с фазовой автоподстройкой (см. описание микросхем К564ГП и CD4046).



Микросхема К561ИР9—четырёхразрядный последовательно-параллельный регистр. Он имеет два последовательных входа J и K . Если их соединить вместе, получим простой D -вход. Собственно регистр построен на D -триггерах, они соединяются последовательно ключами коммутации KK , если на вход переключения P/S (Параллельно/Последовательно) подано напряжение низкого уровня. Если на входе P/S присутствует напряжение высокого уровня, KK размыкают последовательную связь триггеров, но к их D -выходам подключаются линии параллельной загрузки регистра $D0...D3$. В случаях последовательной и параллельной загрузки информация может пере-

двигаться по регистру согласно с положительным перепадом на входе C . Вход сброса R у регистра ИР6—асинхронный. Регистр имеет асинхронный вход T/C , логическими сигналами на котором переключается вид выходного кода: на выходах $Q0...Q3$ могут быть прямой или дополнительный коды—*true/complement*.

Для получения прямого кода T на вход T/C следует подать напряжение высокого уровня, при напряжении низкого уровня—код дополнительный (C) по отношению к хранящемуся в D -триггерах. Время установления сигналов по входам должно быть не менее 250 нс, длительность тактового импульса—не менее 250 нс, а импульс сброса—200 нс.



Микросхема К176ИР10 содержит четыре отдельных регистра. Два из них—четыре разрядные, два—5-разрядные, имеющие выход и от четвертого разряда. Для всех регистров шина тактовых импульсов C -общая, однако каждый регистр имеет независимый путь данных от входов $D1...D4$ до выходов $D1...D4$.

Данные продвигаются по регистрам в момент отрицательных перепадов тактовых импульсов. Устанавливая между выводами микросхемы переключки, можно реализовать регистры с числом разрядов: 4, 5, 8, 9, 10, 12, 13, 14, 16, 17, 18.

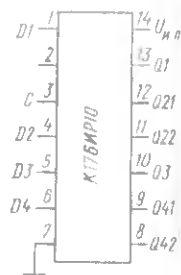
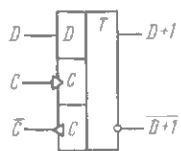
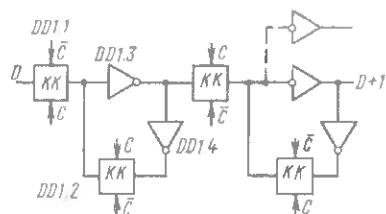
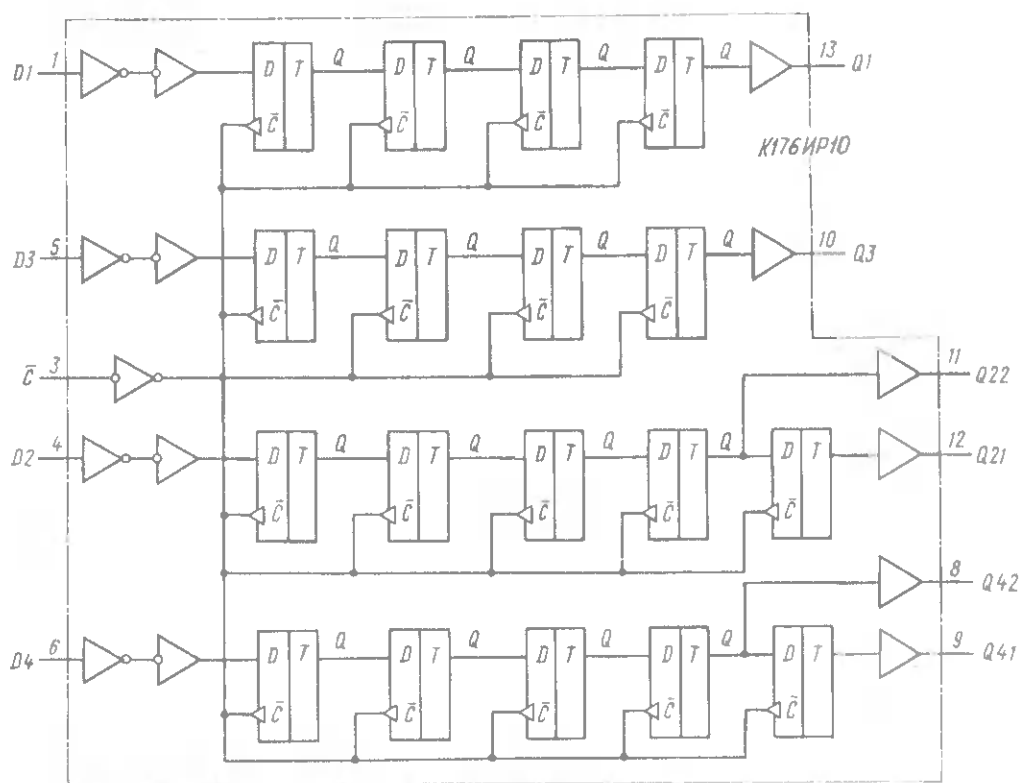
В схеме D -триггера из К176ИР10, как и в предыдущей схеме К561ИР9, используются двухтактные ключи последовательной коммутации КК; тактовые

сетки C и $\bar{C}$ вырабатываются внутренней схемой. Если $DD1.2$ замкнут, инверторы $DD1.3$ и $DD1.4$ образуют кольцо-защелку.

Регистр К176ИР10 обеспечивает сдвиг сигнала с тактовой частотой до 5 МГц. Он удобен как основа регистрового ЗУ.

Регистр К176ИР10

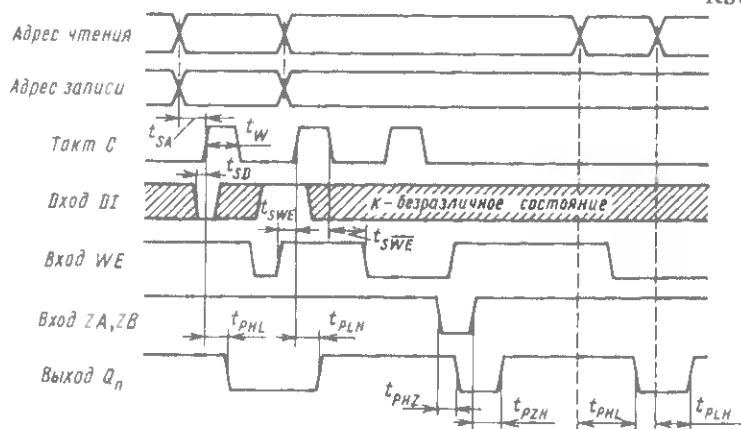
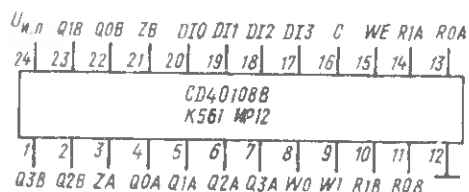
D	C	D+1
0		0
1		1
×		Без изменений



C	Входы										Выходы	
	WE	W1	W0	R1A	R0A	R1B	R0B	ZA	ZB	Dn 1	QnA 1	QnB 1
	1	S1	S2	S1	S2	S1	S2	1	1	0	0	0
	1	S1	S2	S1	S2	S1	S2	1	1	x	Z	Z
	x	x	x	x	x	x	x	0	0	x		
	1	0	0	0	1	1	0	1	1	Dn в слово 0	Слово 1	Слово 2
	0	0	0	0	1	1	0	1	1	Слово 0 б/изм	Слово 1	Слово 2
	x	x	x	x	1	0	0	1	1	x	Слово 2	Слово 1

Микросхема CD40108B носит название многопортовый регистр 4x4 и содержит: четыре четырехразрядных регистра, дешифратор записи адреса, два отдельных дешифратора считывания адресов и две выходных шины с третьим Z-состоянием, которые упрощают присоединение этого устройства к системе с шинной организацией.

Четырехпроводная входная шина (входы данных D0...D3) одинарная, выходная шина — двойная (выходы слова A: Q0...Q3 и выходы слова B: Q0...Q3). Выходные шины управляются независимо, при этом считывание из каждого из четырех регистров на шины A и B независимое. Запись слов в регистры так же независима. Микросхемы можно неограниченно каскадировать, наращивая как число слов, так и их длину.



Микросхема K561IP13 — двенадцатиразрядный регистр последовательного приближения. Его можно использовать для построения ЦАП и АЦП на цифровой базе как КМОП, так и ТТЛ. Этот регистр может работать также как накопительный, либо как регистр, повторяющий одну и ту же (рутинную) управляющую программу. Регистры IP13 пригодны для наращивания их емкости. Они работают как в непрерывном, так и в старт-стопном режимах. В схемах ЦАП резистивные матрицы R-2R можно с некоторыми ус-

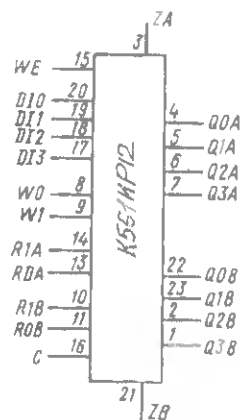
Если на входе разрешения записи WE (write enable) присутствует высокий уровень 1, все входные провода зашелкивают принятые данные после положительного перепада на тактовом входе C. Данные переводятся в слово, выбранное по линии записи адреса.

Если на входе WE=H, т.е. 0, действие входа C запрещено и данные микросхемой не принимаются. В любом случае к содержимому каждого слова можно иметь доступ по линии адреса считывания независимо от состояния входа C.

Микросхема CD40108B удобна для построения первичных устройств памяти, накопителей данных, арифметических блоков.

При напряжении питания $U_{н.п.}=10В$; минимальная длительность тактового импульса $t_{W}=60$ нс, максимальная тактовая частота 5 МГц; время распространения $t_{зд.р.}^{Z,1}=150$ нс, то же для Z-режима: $t_{зд.р.}^{1,0}=60$ нс. Для входа разрешения записи WE относительно импульса C время установления: $t_{уст.}^{WE}=50$ нс и $t_{уст.}^{WE}=10$ нс. То же: для адреса $t_{уст.}^A=50$ нс и для данных $t_{уст.}^D=10$ нс.

С микросхемой CD40108B сходна микросхема K561IP12.

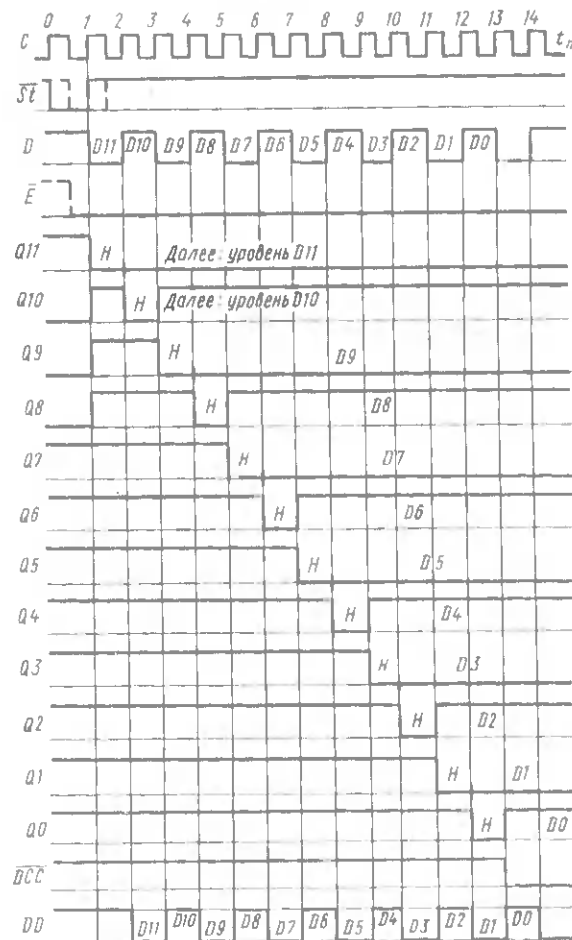
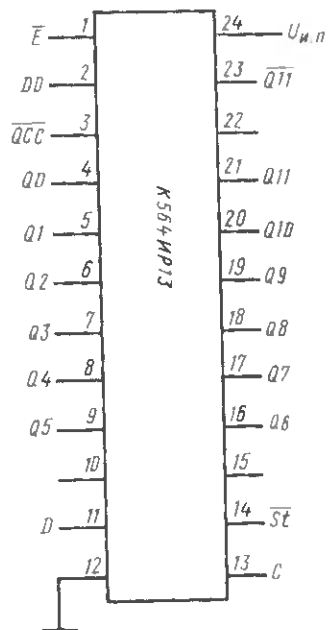


ловиями подключать непосредственно к выходам регистра IP13 без микросхемы аналоговых ключей.

Регистр имеет тактовый вход C, последовательный вход D, куда подаются входные данные, вход разрешения регистру E. Вход E применяется при наращивании числа разрядов. Если оно не требуется, вход E присоединяется к нулю. Когда на входе E присутствует напряжение высокого уровня 1, на входе Q11 появляется логическая 1 и преобразование запрещается. Выход Q11 — прямой для старшего значащего

разряда СЗР; имеется и инверсный выход $\overline{СЗР}$, т.е. $\overline{Q11}$. Регистр имеет выходы от каждого из 12 разрядов; от $Q0$ (младший ЗР) до $Q11$ (СЗР). Вход $\overline{St}$ — стартовый, задерживающий. Он служит для запуска цикла преобразования, которое начнется, если на вход $\overline{St}$ поступит напряжение низкого уровня в момент последнего периода единицы на входе C . При этом на выходе $Q11$ (СЗР) появляется напряжение низкого уровня, на всех остальных: $Q0...Q10$ — напряжение высокого уровня. Этот момент соответствует на диаграмме положительному фронту импульса 1 из тактовой последовательности C . Последовательность импульсов, поступающих на вход D (на диаграмме показана последовательность, у которой чередуются высокие и низкие уровни D) синхронно с тактовыми

периодами, с задержкой на один период тактового импульса записываются в разряды регистра от $Q11$ к $Q0$. На последовательном выходе данных $D0$ входная последовательность задерживается на один период. На выходе $\overline{QCC}$ окончание преобразования отображается отрицательным перепадом.

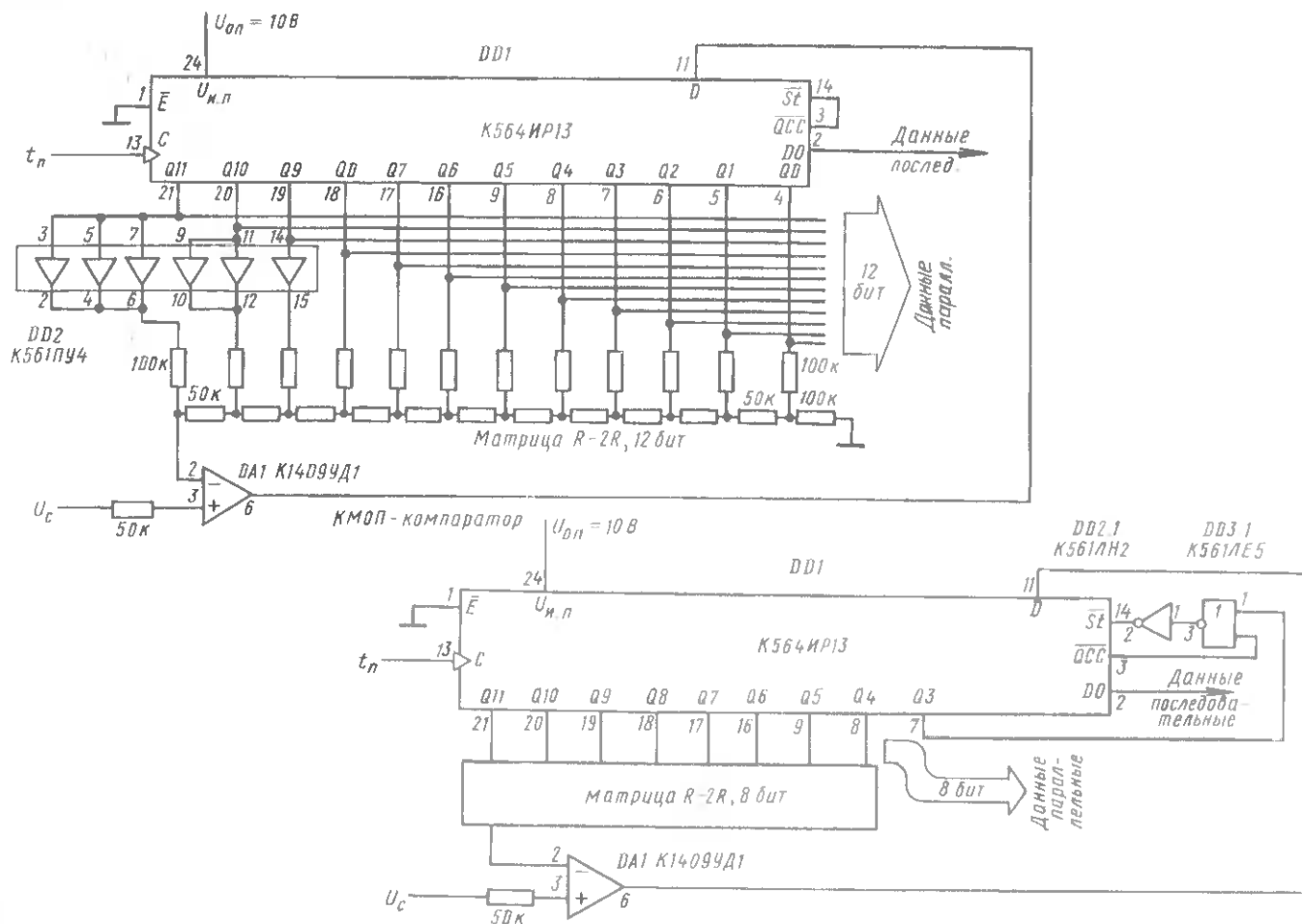


Диаграмме соответствует таблица, где перечислены все состояния на 14 периодов тактовой последовательности импульсов на входе C . Пятнадцатая строка таблицы показывает, что при напряжении высокого уровня на входе $\overline{E}$ преобразования запрещаются. Для

запуска регистра необходимо, чтобы совпало присутствие напряжений низкого уровня на входах $\overline{E}$ и $\overline{St}$. В схемах АЦП на вход D поступает решение от компаратора: оставить или стереть единицу в данном разряде.

Состояния регистра K564IP13

Отрезок времени t_n	Вход			Выход													$\overline{CC}$
	D	$\overline{S}$	$\overline{E}$	$D0$	$Q11$	$Q10$	$Q9$	$Q8$	$Q7$	$Q6$	$Q5$	$Q4$	$Q3$	$Q2$	$Q1$	$Q0$	
0	x	H	H	x	x	x	x	x	x	x	x	x	x	x	x	x	x
1	$D11$	B	H	x	H	B	B	B	B	B	B	B	B	B	B	B	D
2	$D10$	B	H	$D11$	$D11$	H	B	B	B	B	B	B	B	B	B	B	B
3	$D9$	B	H	$D10$	$D11$	$D10$	H	B	B	B	B	B	B	B	B	B	D
4	$D8$	B	H	$D9$	$D11$	$D10$	$D9$	H	B	B	B	B	B	B	B	B	B
5	$D7$	B	H	$D8$	$D11$	$D10$	$D9$	$D8$	H	B	B	B	B	B	B	B	B
6	$D6$	B	H	$D7$	$D11$	$D10$	$D9$	$D8$	$D7$	H	B	B	B	B	B	B	B
7	$D5$	B	H	$D6$	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	H	B	B	B	B	B	B
8	$D4$	B	H	$D5$	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	$D5$	H	B	B	B	B	B
9	$D3$	B	H	$D4$	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	$D5$	$D4$	H	B	B	B	B
10	$D2$	B	H	$D3$	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	$D5$	$D4$	$D3$	H	B	B	B
11	$D1$	B	H	$D2$	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	H	B	B
12	$D0$	B	H	$D1$	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	H	B
13	x	B	H	$D0$	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$	H
14	x	x	H	x	$D11$	$D10$	$D9$	$D8$	$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$	H
	x	x	B	x	B												Без изменений



При напряжении 5 В время задержки от входа C до выходов $Q0...Q11$, $D0_{out}$ и QCC не превышает 350 нс (при питании 10В—не более 150 нс). Минимальная длительность тактового перепада должна превышать 250 нс для напряжения питания 5В и 100 нс для 10В (соответственно, максимальная тактовая частота 2 и 5 МГц). При напряжении питания 15В регистр ИР13 потребляет статический ток не более 0,3 мА.

В схеме АЦП ИР13 может обслуживать микросхему ключей токов, которые замыкаются как при входных напряжениях низкого, так и высокого уровней. Чтобы получить пределы ошибки АЦП $\pm 1/2$ от значения ступеньки МЗР, на вход компаратора полезно давать начальный сдвиг нуля на полступеньки МЗР.

Если регистр ИР13 использован в схеме АЦП двухполярного сигнала, компаратору надо дать опорное напряжение смещения на половину шкалы преобразователя. Выход $Q11$ в таком преобразователе используется как разряд знака шкалы: плюс или минус, поскольку ступенька 11-го разряда ЦЗР как раз соответствует половине напряжения шкалы. Напряже-

ния высокого и низкого уровней на выходе $Q11$ будут отображать полярность входного сигнала.

Чтобы ИР13 надежно запускался в режиме непрерывного преобразования, необходимо на вход St дать через элемент ИЛИ сигналы от выхода QCC и от выхода регистра, соответствующего длине слова преобразователя. В схеме 12-разрядного АЦП от выводов регистра непосредственно берутся токи питания для резистивной матрицы $R-2R$ (здесь $R=50$ кОм). Регистр работает непрерывно, циклически, для чего выход QCC соеденен со входом St . Чтобы не допускать ошибок в ЦЗР, для питания трех старших входов матрицы используются дополнительные усилители стекающего тока (схемы ПУ3, ПУ4: три для разряда $Q11$, два—для $Q10$ и один для $Q9$). Регистр питается от источника опорного напряжения $U_{оп}=10В$. Это напряжение шкалы, поэтому источник его должен быть высококачественным по всем параметрам.

В схеме 8-разрядного АЦП сигнал окончания преобразования берется от выхода $Q3$.

Микросхема КР156ИР14—четырёхразрядный регистр, состоящий из D -триггеров, после которых включены буферные ЛЭ, имеющие Z -состояние. Входное слово $D1...D4$ записывается в триггеры и по-

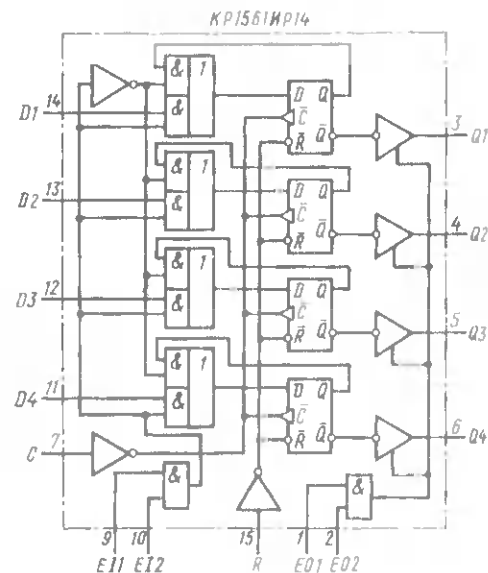
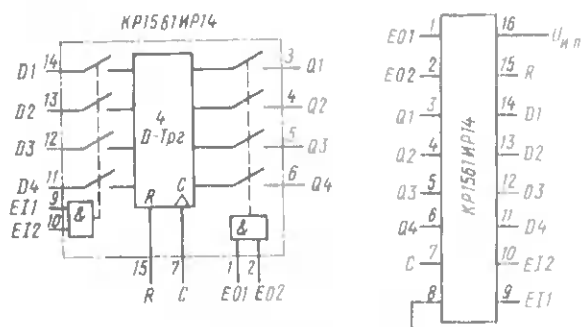
является на выходах после положительного перепада на входе C , если на обоих входах разрешения $E11$ и $E12$ присутствуют низкие логические уровни. Если на одном из этих входов присутствует единица, данные

появятся только на момент t_n , а в последующий t_{n+1} — будут сброшены.

Буферные усилители передают слово D_n на выходы Q_n , если сразу на оба вывода разрешения $E01$ и $E02$ даны нули. Выходы Q перейдут в Z -состояние, если на одном из этих входов присутствует единица. Сигнал включения Z -состояния не влияет на прием тактового перепада C и, следовательно, на запись слова $D1...D4$ в триггеры.

Состояния регистра К1561ИР14

Вход					Выход	
R	C	$E11$	$E12$	D	t_n	t_{n+1}
1	×	×	×	×		0
0	0	×	×	×	Q_n	0
0	—	1	×	×	Q_n	0
0	—	×	1	×	Q_n	0
0	—	0	0	1		1
0	—	0	0	0		0
0	1	×	×	×	Q_n	0
0	—	×	×	×	Q_n	0



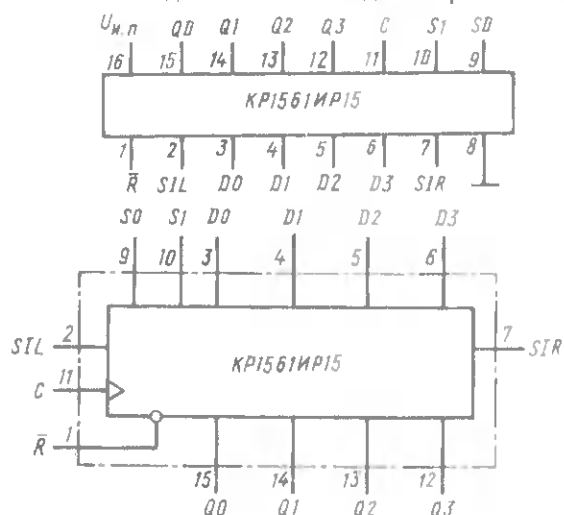
Микросхема К1561ИР15—двухнаправленный универсальный четырехразрядный регистр сдвига. У него есть четыре параллельных входа записи: $D0...D3$ и четыре параллельных выхода $Q0...Q3$. Имеются два последовательных входа записи: слева-направо SIL и справа-налево SIR . Эти входы отключаются, если происходит параллельная загрузка, когда на входах $S0$ и $S1$ присутствуют единицы, а на тактовом входе C —положительный перепад.

Для сдвига вправо и влево следует подать 1 на входы $S0$ и $S1$. Сдвиг от входов SIL или SIR поразрядный,

Режимы регистра ИР15

Режим	C	$S0$	$S1$	$\bar{R}$
Нет изменений	×	0	0	1
Сдвиг вправо $Q0 \rightarrow Q3$	—	1	0	1
Сдвиг влево $Q0 \leftarrow Q3$	—	0	1	1
Загрузка $D0...D3$	—	1	1	1
Сброс	×	×	×	0

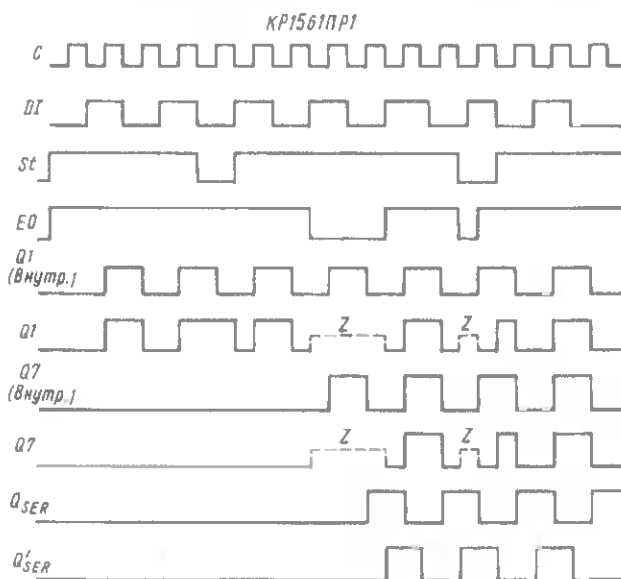
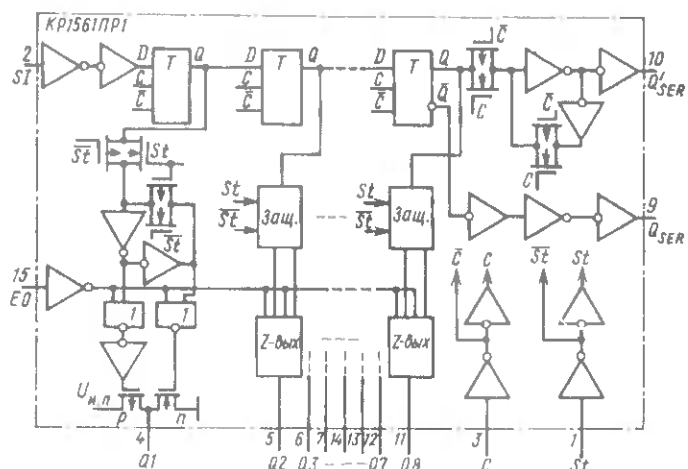
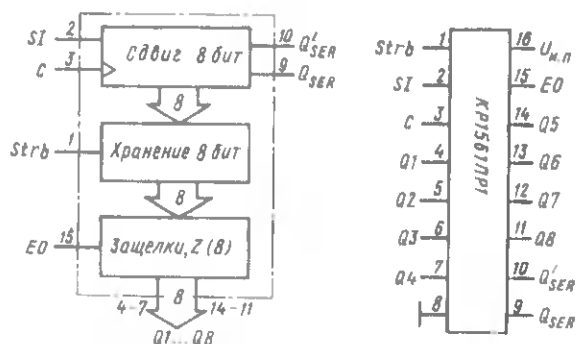
синхронный с каждым положительным перепадом C . Тактовый вход запрещен, если $S0=S1=0$. Сигналы $S0$ и $S1$ надо менять, когда $C=0$. При сбросе $\bar{R}=0$ на всех выходах появляются нули. Регистр удобен как преобразователь последовательного кода в параллельный.



Микросхема К1561ПР1—это 8-разрядный сдвиговый регистр с защелками по входам каждого разряда и буферными усилителями в Z -состоянии. Слово записывается поразрядно от последовательного входа $S1$. Слово можно затем параллельно передать в шину данных системы. Данные сдвигаются синхронно с по-

ложительным перепадом на входе C . Микросхема имеет вход строба. Если $St=1$, данные из последовательного регистра переписываются в защелки. Выходные буферные усилители передают данные на входы $Q1...Q8$, если на входе разрешения на выход EO . Последовательный выход QS нужен для каскадиров-

ния регистров. Данные на выходах регистра синхронны с быстрым положительным перепадом на входе C . На выходе $Q's$ эта же информация появляется синхронно с отрицательным перепадом импульса C . Этот перепад может быть достаточно медленным. Регистр удобен как накопитель слова от цифрового датчика. Сходные микросхемы: $MC14094B$ и $CD4094B$.



8. Дешифраторы

Дешифраторные микросхемы помогают преобразовывать двоичные коды в десятичные, восьмеричные, гексадесимальные и другие специальные. Ряд микросхем необходим для отображения цифр на семисегментных индикаторах-«восьмерках».

Микросхема $K561ИД1$ —универсальный дешифратор. Преобразует входной 4-разрядный двоично-десятичный код в десятичный или 4-разрядный двоичный в октальный; ИД1 имеет десять выходов. При октальном, т.е. восьмеричном коде, используются восемь выходов. У дешифратора четыре входа $A...D$. Для октального кода нужны только три входа $A...C$. Вход D , если на нем напряжение высокого уровня, используется как запрещающий при октальном преобразовании. Если вход D не используется, на него подаем нуль напряжения. Вход младшего разряда— A .

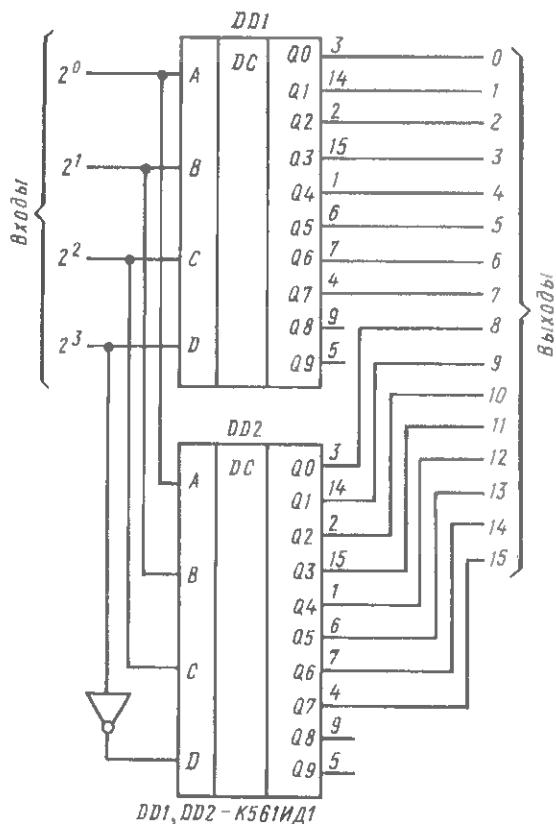
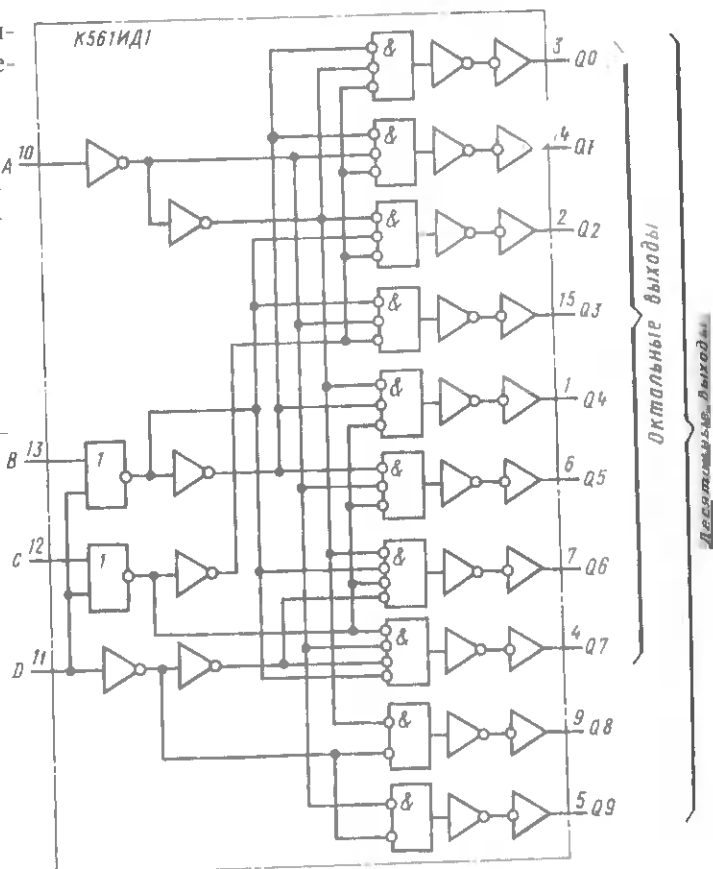
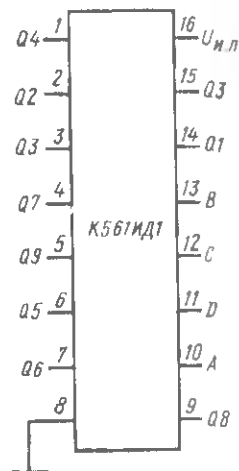
Состояния дешифратора $K561ИД1$

Вход				Выход									
D	C	B	A	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9
Н	Н	Н	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н
Н	Н	Н	В	Н	В	Н	Н	Н	Н	Н	Н	Н	Н
Н	Н	В	Н	Н	Н	В	Н	Н	Н	Н	Н	Н	Н
Н	Н	В	В	Н	Н	Н	В	Н	Н	Н	Н	Н	Н
Н	В	Н	Н	Н	Н	Н	Н	В	Н	Н	Н	Н	Н
Н	В	Н	В	Н	Н	Н	Н	Н	В	Н	Н	Н	Н
Н	В	В	Н	Н	Н	Н	Н	Н	Н	В	Н	Н	Н
Н	В	В	В	Н	Н	Н	Н	Н	Н	Н	В	Н	Н
В	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
В	Н	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В
В	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
В	Н	В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В
В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н
В	В	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н
В	В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н
В	В	В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н

Время задержки распространения от входов до выходов не превышает 290 нс, время установления — менее 150 нс.

Состояния регистра К1561ПР1

Вход				Выход			
C	E0	S1	D	Q1	Qn	Qs	Q'n
—	0	×	×	Z	Z	Q7	6/и
—	0	×	×	Z	Z	6/и	Q7
—	1	0	×	6/и	6/и	Q7	6/и
—	1	1	0	0	Qn-1	Q7	6/и
—	1	1	1	1	Qn-1	Q7	6/и
—	1	1	1	6/и	6/и	6/и	Q7



Как пример показана схема преобразователя 4-разрядного кода в десятичный или 16-ричный, по-другому, гексадецимальный с таблицей кодов. В первых четырех колонках D...A последовательно перечислены 16 возрастающих состояний двоичного кода от 0000 до 1111. Последующие две колонки отведены гексадецимальным кодам: двоичному и коду Грея, колонки 7...10 содержат четырехразрядные десятичные коды: код «без трех», код Грея «без трех», код Айкена, код формата 4-2-2-1. В колонке номеров выходов указаны выходные высокие уровни. Выбрав номер выхода N от 0 до 15, по строке, где зафиксировано, что на этом выходе появилось напряжение высокого уровня, можем определить, какая цифра соответствует в данной ситуации каждому из шести вышеперечисленных кодов. В кодах «без трех» не используются три комбинации, где мало младших единиц В, или, наоборот, мало младших нулей Н.

Состояния дешифраторов К561ИД1 для разных кодов

Вход				Деци-мальный код		Деци-мальный код				Номер выхода															
D	C	B	A	Код двоич-ный 4 бита	Код Грея 4 бита	Код «без трех»	Код Грея «без трех»	Код Айхена	Код 4-2-2-1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
H	H	H	H	0	0			0	0	B															
H	H	H	B	1	1			1	1	B															
H	H	B	H	2	3		0	2	2		B														
H	H	B	B	3	2	0	3	3			B														
H	B	H	H	4	7	1	4	4				B													
H	B	H	B	5	6	2			3			B													
H	B	B	H	6	4	3	1		4				B												
H	B	B	B	7	5	4	2						B												
B	H	H	H	8	15	5								B											
B	H	H	B	9	14	6			5						B										
B	H	B	H	10	12	7	9		6							B									
B	H	B	B	11	13	8		5									B								
B	B	H	H	12	8	9	5	6										B							
B	B	H	B	13	9		6	7	7										B						
B	B	B	H	14	11		8	8	8											B					
B	B	B	B	15	10		7	9	9												B				

Микросхемы К176ИД2 и ИД3 предназначены для управления 7-сегментным светодиодным индикатором. Микросхемы принимают четырехразрядный код D3...D0 от 0000 до 1001—«девять». Более старшие комбинации не отображаются. Если на вход S (вывод 1) дать «единицу», микросхемы транслируют входной код на индикатор. При S=0 сигнал зашелкивается, и остается на индикаторе. Входы D_n сигнал не принимают.

Микросхема ИД3 отличается открытыми стоками

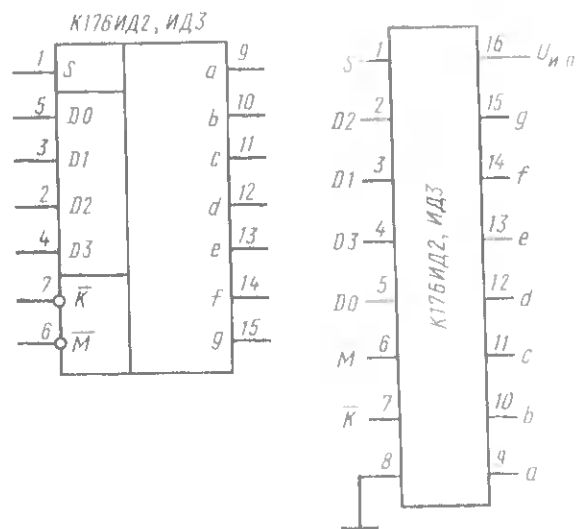
Режимы дешифраторов К176ИД2, ИД3

Входы							Индикатор
S	K	M	D3	D2	D1	D0	
B	H	H	0	0	0	0	— — 0
B	H	H	0	0	0	1	1
B	H	H	0	0	1	0	2
B	H	H	0	0	1	1	3
B	H	H	0	1	0	0	4
B	H	H	0	1	0	1	5
B	H	H	0	1	1	0	6
B	H	H	0	1	1	1	7
B	H	H	1	0	0	0	8
B	H	H	1	0	0	1	9
H	H	H	x	x	x	x	D _n
x	B	H	x	x	x	x	Гашение
H	H	B	D _n				— —

Микросхема 564ИД4—аналог CD4055A—дешифратор, переводящий двоичный позиционный код в десятичный эквивалент (одна декада: 0...9). К выводам ИД4 подключается 7-сегментный жидкокристаллический индикатор (ЖКИ, liquid crystal display—LCD), причем микросхема имеет вывод

на выходах. Если на вывод M (вывод 6) дать «единицу», выходные провода будут работать с активным нулем: зажигаем ЖКИ с общим анодом. Заземлив вывод M, получаем активные выходные высокие уровни для обслуживания индикаторов с общим катодом.

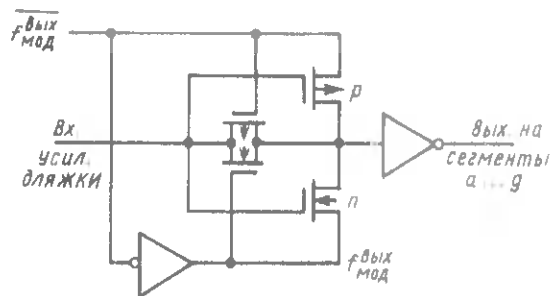
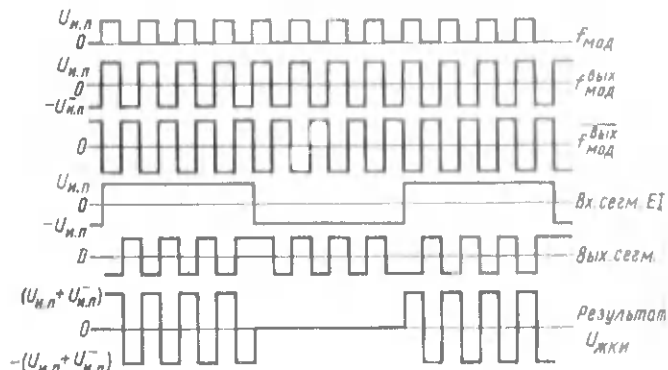
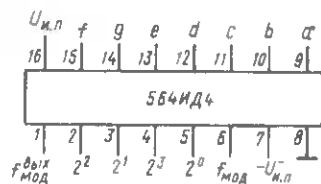
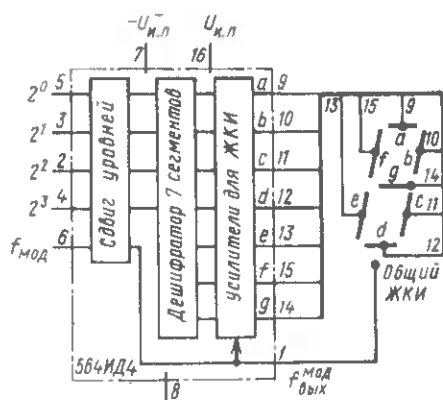
Единица, поданная на вход K, гасит знак индикатора, ноль—разрешает индикацию. Ток выхода каждого сегмента не должен превышать 9 мА.



сформированного напряжения модуляции для ЖКИ. Микросхема может получать два напряжения питания U_{ип} (вывод 16) и -U_{ип} (вывод 17). Входной скачок однополярный (от 0 к +U_{ип}) после каскадов сдвига уровня станет двухполярным. Внутренняя схема позволяет увеличить почти в 4 раза результи-

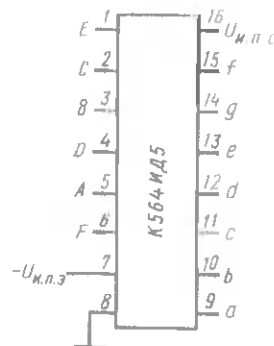
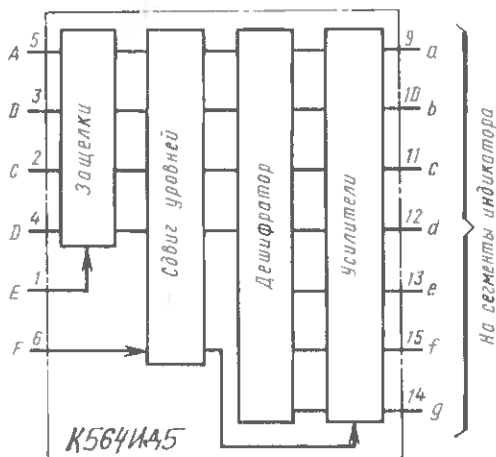
рующий потенциал, выделяющийся на сегменте ЖКИ, в сравнении со входным модулирующим напряжением. Например, если $U_{\text{мод}}=4\text{В}$, результирующее напряжение $U_{\text{жки}}=15\text{В}$. Повышенное напряжение между сегментом ЖКИ и его общей проводящей поверхностью необходимо для индикаторов большого

размера. Пределы модулирующей частоты: от 30 Гц (ниже заметно мерцание ЖКИ) до 200 Гц—предел быстрогодействия ЖКИ. Внутренний сигнал разрешения входа сегмента *EI* формируется для того, чтобы загорался только выбранный сегмент.



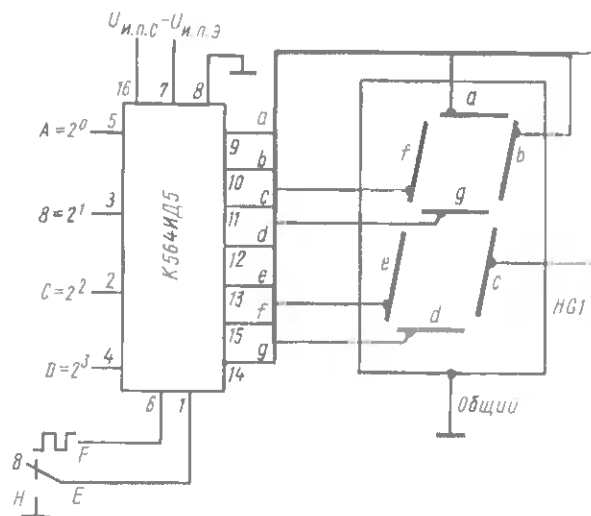
Микросхема К564ИД5 аналогична микросхеме CD4056. Этот дешифратор несколько отличается от предыдущей схемы ИД4 (CD4055). Четырехразрядный входной код: $A=2^0$, $B=2^1$, $C=2^2$, $D=2^3$ подается на триггеры-защелки. Если на входе разрешения *E* ус-

тановлено напряжение высокого уровня, данные будут передаваться от входов *A...D* далее к выходам *a...g*. Низкий уровень на входе *E* зашлечивает данные, соответствующие сегменты индикатора останутся выбранными.



От входных защелок данные поступают на схему сдвига уровней, у которой есть дополнительный вход переменного напряжения. Схема сдвига уровня позволяет расширить в сторону отрицательной полярности амплитуду переменного напряжения на индикаторе. С этой целью у микросхемы сделан вывод отрицательного питания $-U_{и.п.э.}$. С этими импульсами увеличенной амплитуды работают дешифраторы и семь усилителей сигналов сегментов $a...g$.

«Зажигается» сегмент с помощью входа F , сигнал на котором может перевести выходные сигналы сегментов на высокий или низкий уровни, либо подать на них переменные прямоугольные импульсы модуляции. Если на входе F — напряжение низкого уровня, на выходах выбранных сегментов появятся высокие уровни. Если на входе F — высокий уровень, на этих сегментах окажется низкий уровень. Поскольку выходы $a...g$ инверсные по отношению ко входу, напряжение, поданное на вход F , окажется на выходах сегментов в противофазе.



Амплитуда переменного напряжения на сегменте соответствует сумме $U_{и.п.с.} + U_{и.п.э.}$. Входные сигналы $A...D$ могут иметь ТТЛ-уровни.

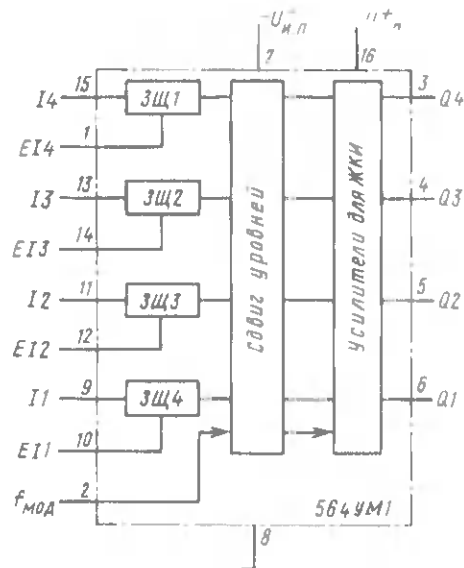
Выходные усилители дешифратора ИД5 дают на индикатор переменное напряжение с частотой $F=30...200$ Гц и амплитудой в 2 раза превышающей напряжение питания. Разделительные конденсаторы не нужны.

Дешифраторы ИД4 и ИД5 обеспечивают экономичную работу 7-сегментного индикатора — ЖКИ. С помощью этих дешифраторов можно строить узлы дисплеев общего применения, настольных и настенных часов, панельных измерителей, мультиметров, автомобильных приборов.

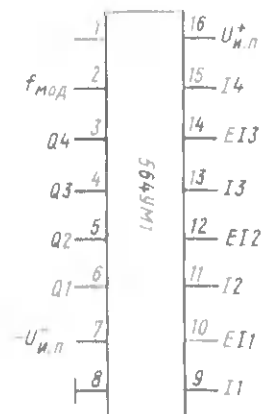
Состояния дешифратора К564ИД5

Вход				Выход							Индикатор
D	C	B	A	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	10
1	0	1	1	0	1	1	0	1	1	1	11
1	1	0	0	1	1	0	0	1	1	1	P
1	1	0	1	1	1	1	0	1	1	1	R
1	1	1	0	0	0	0	0	0	0	1	—
1	1	1	1	0	0	0	0	0	0	0	—

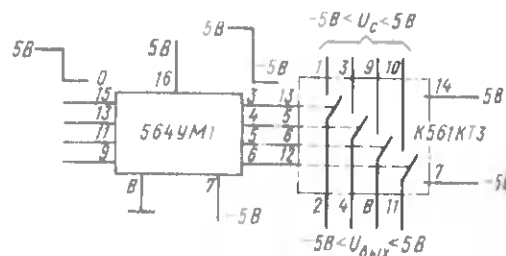
Микросхема 564УМ1 (CD4054A) используется в комплекте с микросхемами ИД4 и ИД5, либо самостоятельно. Имея выводы для двухполярного питания (7 и 16), микросхема обеспечивает такое же модуляционное напряжение на сегментах, как в ИД4. Микросхема УМ1 имеет четыре независимые входные защелки, поэтому применяется аналогично ИД5, но только для индикации десятичных запятых, точек, линеек, колонок, знаков полярности и других стандартных знаков.



Если удвоение напряжения не требуется, вывод 7 надо присоединить к выводу 8. Зашелка транслирует входной код, если на входе EI уровень высокий. Если $EI=H$, сегмент остается выбранным. Две микросхемы УМ1 можно включить после микросхемы ИД5, у которой нет вывода для отрицательного питания, чтобы получить учетверению относительно напряжения питания амплитуду сигнала между сегментом ЖКИ и общей плоскостью.



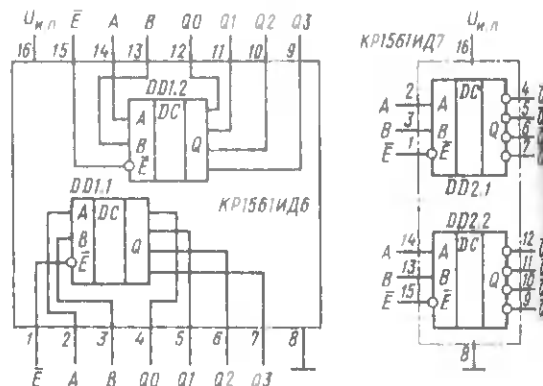
Кроме того, микросхема К564УМ1 удобна как четырехканальный драйвер для аналогового коммутатора двухполярных сигналов К561КТ3.



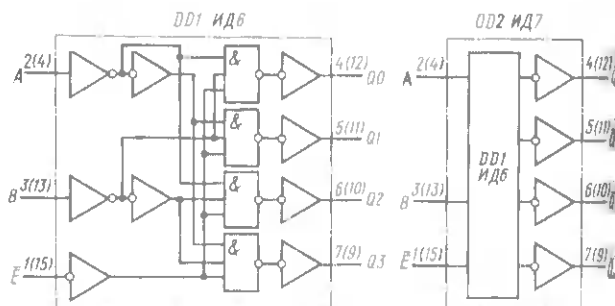
Микросхема КР1561ИД6 содержит два двухразрядных дешифратора-коммутатора со стробированием по входу $\bar{E}$. Если $\bar{E}=1$, на всех выходах $Q0...Q3$ окажутся нули. При иаборе двоичного кода на входах A, B (при $\bar{E}=0$) на выходах $Q0...Q3$ появляются единицы. Если вход $\bar{E}$ используется как сигнальный, дешифраторы можно каскадировать.

Состояния для КР1561ИД6/ИД7

Вход			Выход							
			КР1561ИД6				КР1561ИД7			
$\bar{E}$	B	A	$Q3$	$Q2$	$Q1$	$Q0$	$\bar{Q3}$	$\bar{Q2}$	$\bar{Q1}$	$\bar{Q0}$
0	0	0	0	0	0	1	1	1	1	0
0	0	1	0	0	1	0	1	1	0	1
0	1	0	0	1	0	0	1	0	1	1
0	1	1	1	0	0	0	0	1	1	1
1	x	x	0	0	0	0	1	1	1	1



Микросхема КР1561ИД7 имеет инвертированные по сравнению с ИД6 выходы. Выбранный выход имеет нулевой выходной уровень, а при $\bar{E}=1$ на всех выходах появляются единицы.



9. Арифметические схемы

Группа микросхем средней интеграции предназначена для узлов, выполняющих простые арифметические операции и вспомогательные логические, такие, как проверка слова на четность, сравнение двух байтов (компаратор). Универсальные свойства имеет арифметико-логическое устройство—АЛУ ИПЗ. Чтобы каскадировать несколько 4-разрядных АЛУ, необходима микросхема ИП4, содержащая схему ускоренного переноса для быстрого параллельного суммирования 4-разрядных слов.

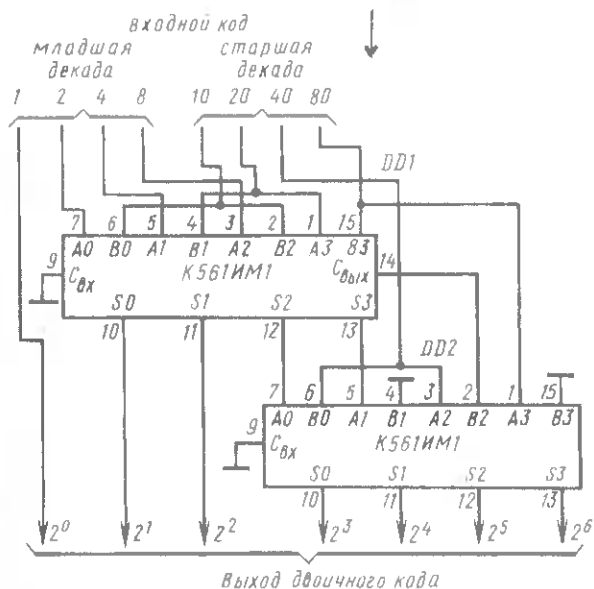
Действие ОЗУ можно изучить на примере матрицы 256х16бит РУ2.

Микросхема К561ИМ1 содержит четыре узла поразрядного суммирования полиые сумматоры и параллельную схему ускоренного переноса (выход $C_{\text{вых}}$). Такая структура повышает быстродействие много-разрядных арифметических устройств, состоящих из нескольких сумматоров ИМ1. Сумматор имеет четыре пары входов: $A_0, B_0...A_3, B_3$, на которые подаются два четырехразрядных слова A и B . От предшествующего сумматора на вход $C_{\text{вх}}$ можно принимать бит переноса. Кроме сигнала ускоренного переноса $C_{\text{вых}}$ на выходе присутствуют четыре разряда суммы: $S_0...S_3$.

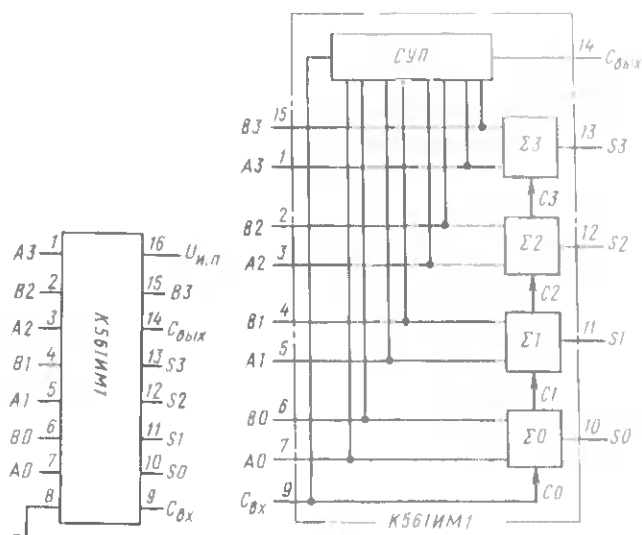
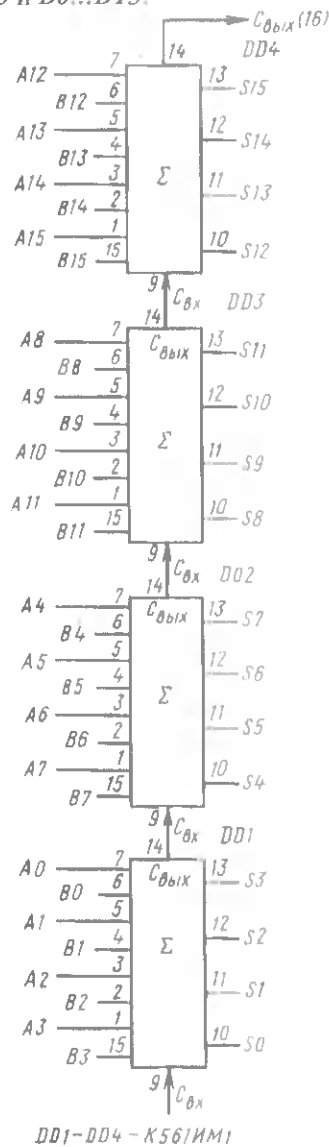
Состояния сумматора К561ИМ1

Вход			Выход		Вход			Выход	
A_i	B_i	$C_{\text{вх}}$	$S_{\text{вых}}$	S_i	A_i	B_i	$C_{\text{вх}}$	$S_{\text{вых}}$	S_i
0	0	0	0	0	0	0	1	0	1
1	0	0	0	1	1	0	1	1	0
0	1	0	0	1	0	1	1	1	0
1	1	0	1	0	1	1	1	1	1

В этой схеме два сумматора ИМ1 работают как преобразователь двоично-десятичного кода формата 1-2-4-8 в двоичный, семиразрядный.



Здесь показана схема суммирования двух 16-разрядных слов $A_0...A_{15}$ и $B_0...B_{15}$.



Время задержки распространения сигнала от входов A_i, B_i к выходу S_i , а также от входа $C_{вх}$ до S_i не более 325 нс (питание 10 В). Время установления высокого или низкого сигналов на выходах суммы 550 нс. При напряжении питания 5В значения этих параметров удваиваются.

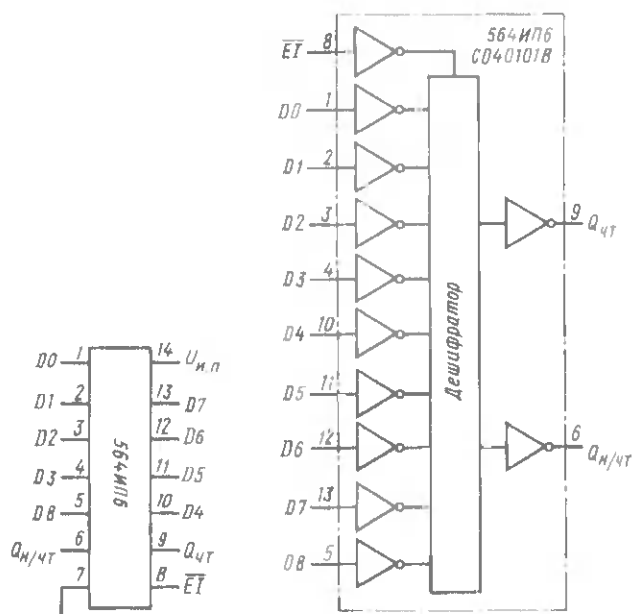
Микросхема К564ИП6 (CD40101В)—девятиразрядное устройство проверки на четность, принимающее 8-разрядный код $D0...D7$, а по девятому проводу контрольный разряд $D8$. Схема имеет два выхода: четный $Q_{чт}$ и нечетный $Q_{нчт}$. На отдельный вход EI может подаваться сигнал запрета. При напряжении высокого уровня на входе EI оба выходных сигнала переходят на низкий уровень.

Микросхему используют либо для проверки четности, либо как генератор разряда четности. В первом случае проверяем принятое 8-разрядное слово на четность, сравнивая сумму его единиц с контрольным, девятым разрядом. Во втором случае передаем в линию контрольный разряд четности. Он будет сопровождать слово при передаче, чтобы можно было проверить правильность его приема.

Передавая в линию два сигнала $Q_{чт}$ и $Q_{нчт}$ и используя на приеме входы EI и $D8$, можно вырабатывать сигнал запрета ошибочного слова. Время задержки распространения данных не превышает 125 нс при напряжении питания 10 В и 400 нс при питании 5 В.

Состояния схемы проверки четности К564ИП6

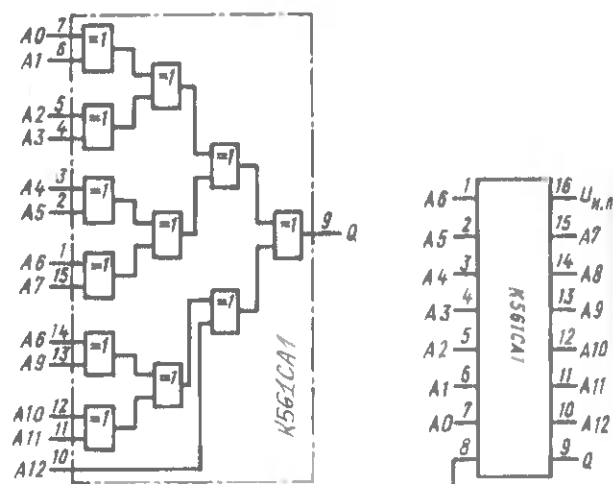
Вход		Выход	
Сумма единиц на входах $D0-D8$	Запрет E	$Q_{чт}$ (четная)	$Q_{нчт}$ (нечетная)
Четная	0	1	0
Нечетная	0	0	1
×	1	0	0



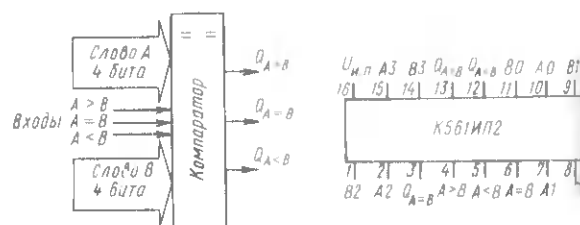
Микросхема К561СА1—12-разрядная схема проверки на четность. В отличие от предыдущей имеет один выход Q и 13 входов, один бит—контрольный. По таблице можно определить состояние выхода Q в зависимости от четности или нечетности суммы напряжений высоких уровней. Если необходимо каскадировать две схемы К561СА1, выход первой микросхемы следует присоединить ко входу $A12$ второй.

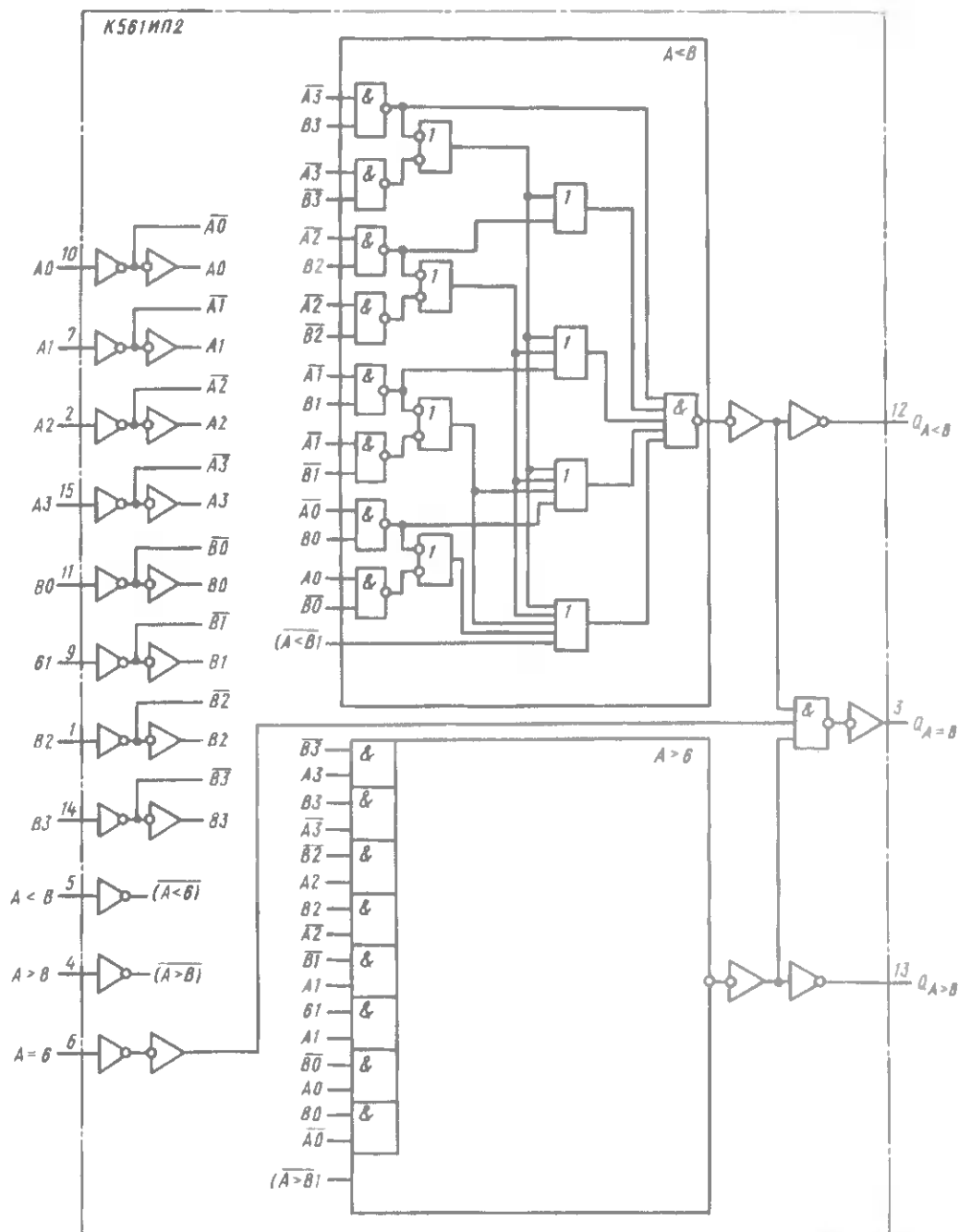
Состояния устройства проверки на четность К561СА1

Состояния входов $A0-A12$	Уровень на выходе Q
На всех 13 входах уровень H	H
На любом 1 входе уровень B	B
На любых 2 входах уровень B	H
На любом нечетном числе входов (<13) уровень B	B
На четном числе входов уровень H	H
На всех 13 входах уровень B	B



Микросхема К561ИП2—цифровой компаратор. Она сравнивает два четырехразрядных кода и имеет три выхода $Q_{A<B}$, $Q_{A>B}$ и $Q_{A=B}$, отображающие неравенство или равенство двоичных или двоично-десятичных слов. Восемь входов микросхемы используются для приема входных слов $A0...A3$ и $B0...B3$. Три входа используются для наращивания числа разрядов устройства сравнения: $A>B$, $A<B$ и $A=B$. Если включен только один корпус К561ИП2, на вход $A=B$ следует дать напряжение высокого уровня, а на $A<B$ и $A>B$ —низкого.

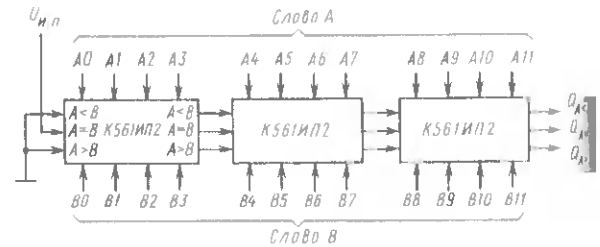




Состояния цифрового компаратора К561ИП2

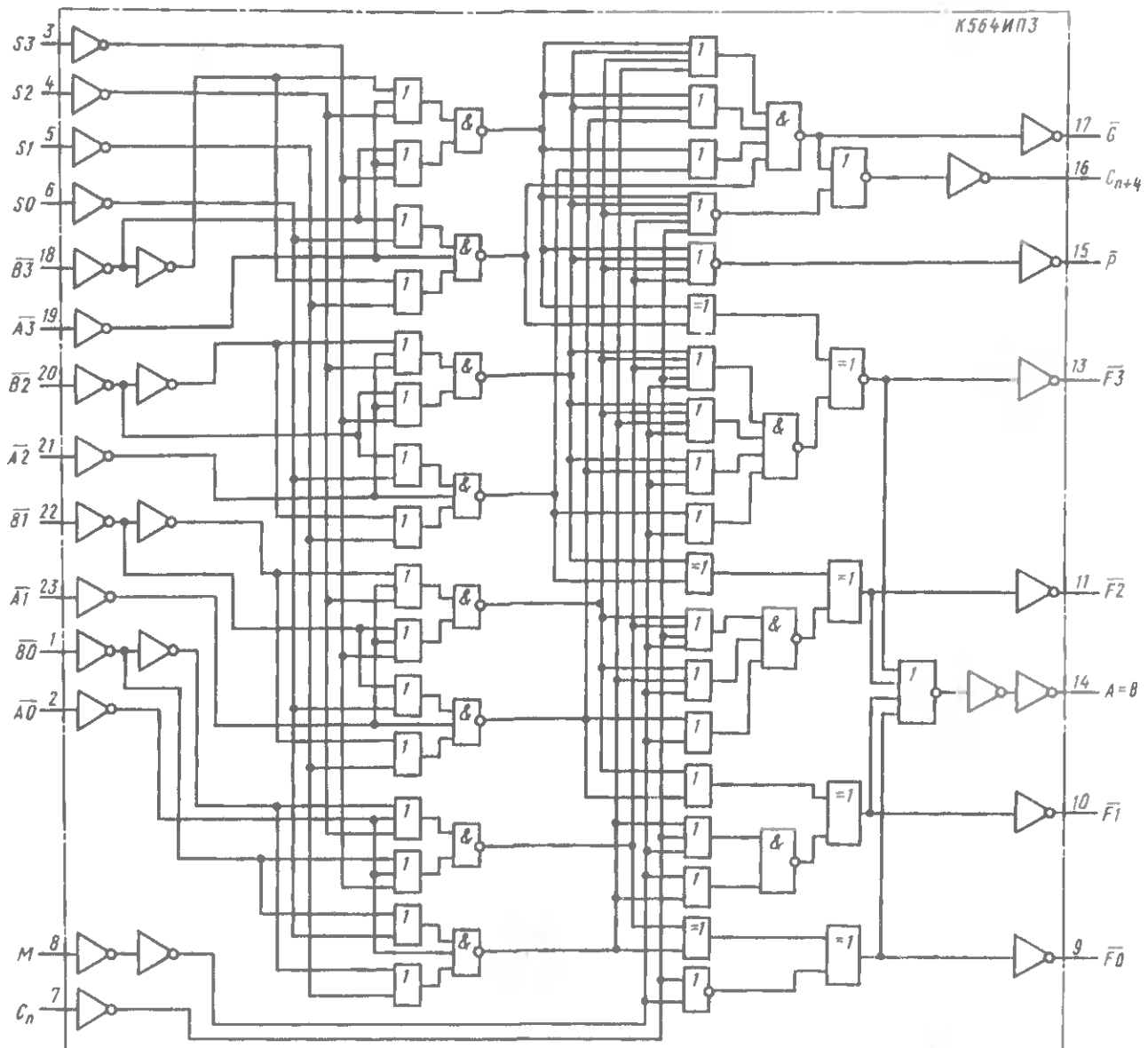
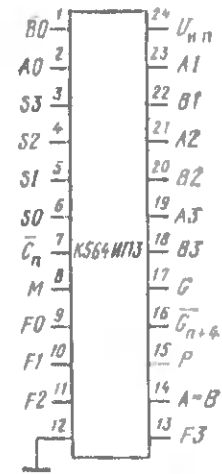
Вход сравнения				Вход каскадирования			Выход		
A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	$A > B$	$A < B$	$A = B$	$Q_{A > B}$	$Q_{A < B}$	$Q_{A = B}$
$A_3 > B_3$	×	×	×	×	×	×	В	И	И
$A_3 < B_3$	×	×	×	×	×	×	И	В	И
$A_3 = B_3$	$A_2 > B_2$	×	×	×	×	×	В	И	И
$A_3 = B_3$	$A_2 < B_2$	×	×	×	×	×	И	В	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	×	×	×	×	В	И	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	×	×	×	×	И	В	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	×	×	×	В	И	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	×	×	×	И	В	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	В	И	И	В	И	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	И	В	И	И	В	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	И	И	В	И	И	В
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	В	И	В	В	И	В
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	В	В	В	В	В	В
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	В	В	И	В	В	И
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	И	И	И	И	И	И

На функциональной схеме 12-разрядного устройства сравнения двух чисел входы данных трех микросхем образуют параллельные шины данных. Входы и выходы микросхем «равенство-неравенство» соединены последовательно. Время задержки кода в первой К561ИП2 не превышает 250 нс, в каждой последующей—200 нс.



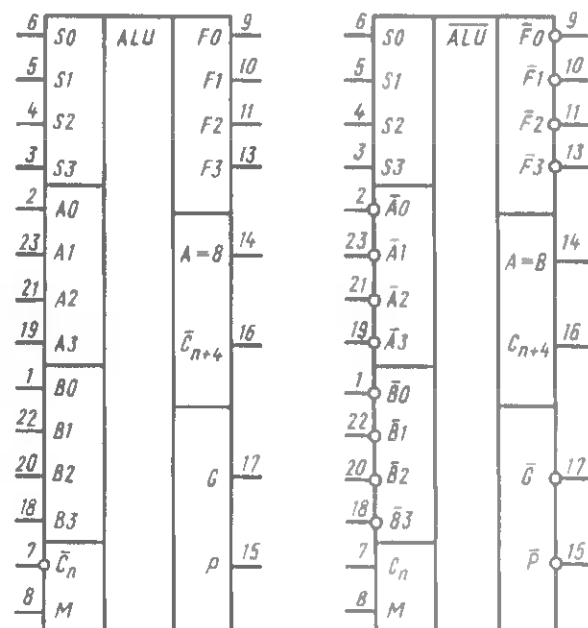
Микросхема К564ИП3—параллельное 4-разрядное АЛУ. Оно может выполнять либо 16 логических, либо 16 арифметических операций. Эти режимы переключаются логическими сигналами, подаваемыми на вход M . Если дан уровень низкий, выполняются арифметические операции; если высокий—логические. При арифметических операциях есть переносы в старшем разряде, при логических—нет.

АЛУ имеет четыре пары входов для двух четырехразрядных слов: $A0...A3$ и $B0...B3$, а также четыре выхода $F0...F3$, на которых появляется слово—результат логической или арифметической операции.



Нужную операцию арифметическую или логическую выбирают с помощью кода на входах $S0...S3$. АЛУ можно использовать с активными напряжениями высокого или низкого уровня. Переименовав уровни, можно значительно расширить комплект логических функций. Наименование входов и выходов АЛУ при высоких и низких логических уровнях отличаются.

АЛУ имеет внутреннюю схему ускоренного переиоса СУП с выходами $\bar{G}$ —генерация переиоса и P —распространение переиоса.. Многоразрядные АЛУ собираются из нескольких корпусов К564ИП3 совместно с внешней СУП К564ИП4. АЛУ имеет вход для приема уровня переиоса C_n и выход сигнала переиоса C_{n+4} , т.е. после 4-разрядного сумматора. Пульсирующим выходом переиоса C_{n+4} можно пользоваться в схемах многоразрядных АЛУ, если скорость работы не лимитируется.



Функции АЛУ К564ИП3

Вход выбора функции				Активные—низкие уровни		Активные—высокие уровни	
$S3$	$S2$	$S1$	$S0$	Логические функции ($M=B$)	Арифметические функции ($M=H, C_n=H$)	Логические функции ($M=B$)	Арифметические функции ($M=H, C_n=H$)
H	H	H	H	$\bar{A}$	$A-1$	$\bar{A}$	A
H	H	H	B	$\bar{AB}$	$AB-1$	$\overline{A+B}$	$A+B$
H	H	B	H	$\overline{A+B}$	$AB-1$	$\bar{AB}$	$A+B$
H	H	B	B	1	-1	0	=1
H	B	H	H	$\overline{A+B}$	$A+(A+B)$	$\bar{AB}$	$A+AB$
H	B	H	B	$\bar{B}$	$AB+(A+B)$	$\bar{B}$	$(A+B)+AB$
H	B	B	H	$\overline{A \oplus B}$	$A-B-1$	$A \oplus B$	$A-B-1$
H	B	B	B	$\overline{A+B}$	$A+B$	$\bar{AB}$	$AB-1$
B	H	H	H	$\bar{AB}$	$A+(A+B)$	$\overline{A+B}$	$A+AB$
B	H	H	B	$A \oplus B$	$A+B$	$\overline{A \oplus B}$	$A+B$
B	H	B	H	B	$\overline{AB+(A+B)}$	B	$(A+B)+AB$
B	H	B	B	$A+B$	$A+B$	AB	$AB-1$
B	B	H	H	0	$A+A$	1	$A+A$
B	B	H	B	$\bar{AB}$	$AB+A$	$\overline{A+B}$	$(A+B)+A$
B	B	B	H	AB	$\overline{AB+A}$	$A+B$	$(A+B)+A$
B	B	B	B	A	A	A	$A-1$

В таблице показано использование входа C_n и выхода C_{n+4} для сравнения чисел A и B , если АЛУ работает как вычитатель с применением внешнего дешифратора. Если входные числа A и B равны, т.е. ИПЗ работает как вычитатель, на выходе компаратора $A=B$ появится напряжение высокого уровня.

Время задержки от входов A, B до выходов F в АЛУ К564ИП3 составляет 150 нс (питание 15 В), при питании 5 В — 450 нс. Среднее время выполнения операций 200 нс при питании 10 В.

Логические и арифметические операции АЛУ соответствуют коду на входах выбора $S0...S3$. Колонок выходных функций четыре: логические и арифметические операции, соответствующие активным напряжениям как высокого, так и низкого уровней.

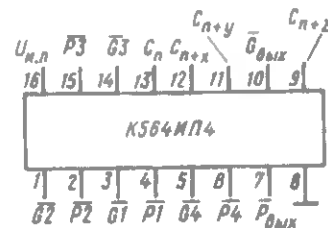
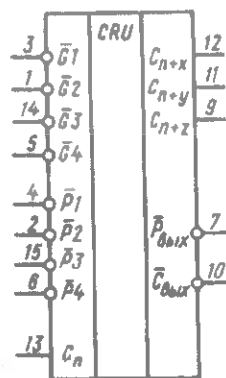
Использование выводов C_n и C_{n+4} микросхемы К564ИП3 для сравнения чисел

Активный—высокий уровень			Активный—низкий уровень		
Вход C_n	Выход C_{n+4}	Результат	Вход C_n	Выход C_{n+4}	Результат
1	1	$A \leq B$	0	0	$A \leq B$
0	1	$A < B$	1	0	$A < B$
1	0	$A > B$	0	1	$A > B$
0	0	$A \geq B$	1	1	$A \geq B$

Микросхема К564ИП4—это схема ускоренного переноса, способная обслуживать четыре двоичных сумматора или группы большего числа сумматоров, поскольку эта микросхема имеет выводы для каскадирования. СУП ИП4 применяется совместно с четырьмя АЛУ К564ИП3. СУП имеет четыре входа генерации переноса $\bar{G}1... \bar{G}4$ и четыре входа распространения переноса $\bar{P}1... \bar{P}4$. Сюда присоединяются соответствующие выходы $\bar{G}$ и $\bar{P}$ от каждого из четырех АЛУ. Входы СУП $\bar{G}$ и $\bar{P}$ имеют активные напряжения низкого уровня. Есть также вход приема пульсирующего переноса C_n , у которого активный уровень высокий.

СУП имеет три выхода переноса: C_{n+x} , C_{n+y} , C_{n+z} , а также выходы $\bar{G}_{вых}$ и $\bar{P}_{вых}$. Это групповая генерация переноса и групповое распространение переноса, активные уровни у них низкие. Время прохождения

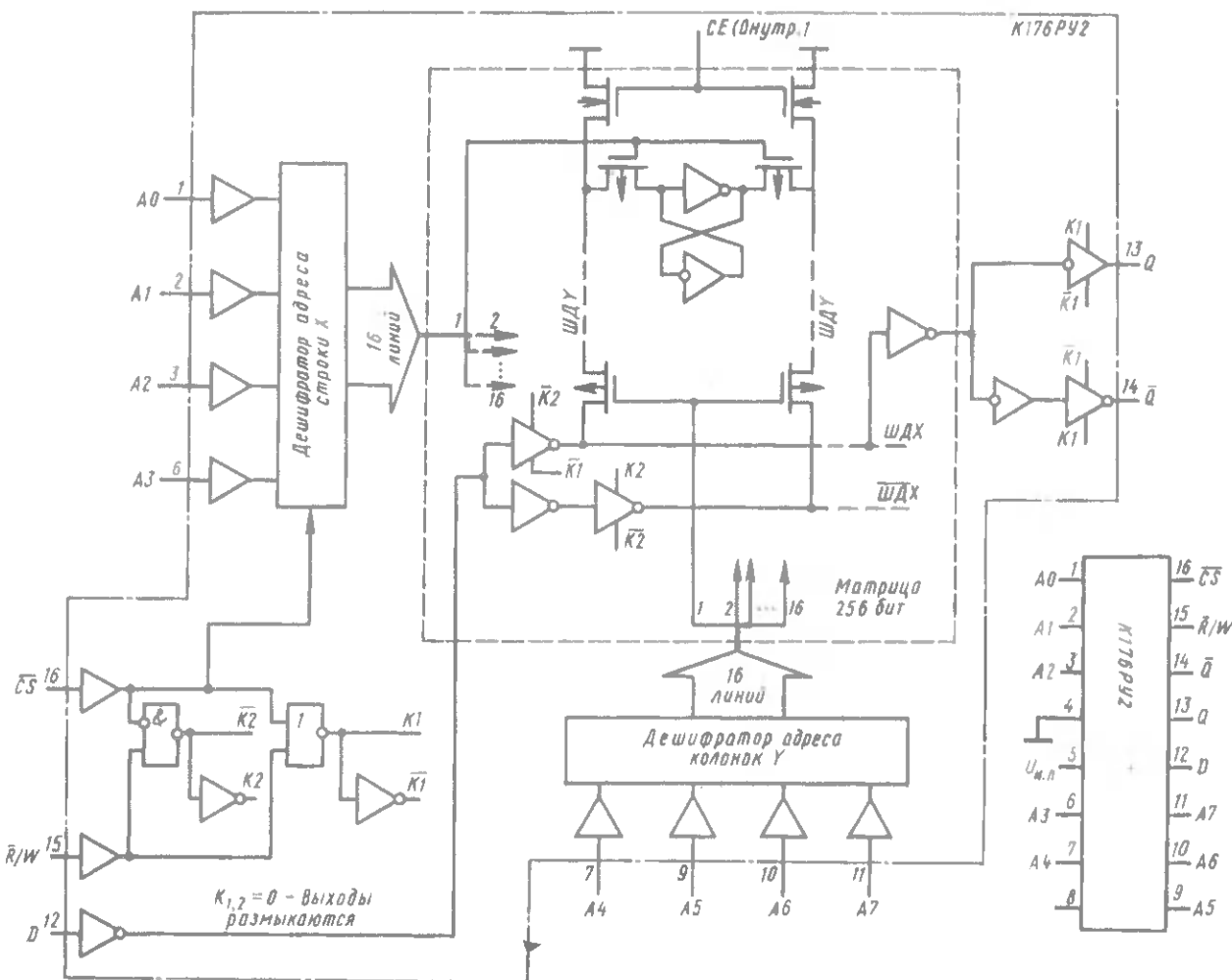
сигнала C_n в СУП при питании 15В составляет 125 нс, при питании 5В — 400 нс. Время задержки от входов $\bar{P}$, $\bar{G}$ до аналогичных выходов 90 нс (300 нс при питании 5В).



Микросхема К176РУ2—статическое ОЗУ, имеющее организацию: 256 слов одноразрядных, т.е. 256 ячеек хранения данных. В центре ОЗУ располагается матрица из 256 защелок-триггеров (показана схема одного триггера). Триггеры образуют 16 колонок и 16 рядов. Соответственно имеется 16 вертикальных и 16 горизонтальных линий управления, которые выходят из дешифраторов адреса колонок Y и адреса строк X соответственно. Оперативное ЗУ имеет 8 входов ад-

реса. Первые четыре разряда $A0...A3$ выбирают адрес линии, старшие четыре— $A4...A7$ —адрес колонки, где расположены ячейки хранения каждого одноразрядного слова.

Группа логических элементов, образующих входы $\bar{CS}$ (доступ к памяти) и $\bar{R}/\bar{W}$ (Чтение/Запись), вырабатывает внутренние сигналы $\bar{K}2$, $\bar{K}2$ для разрешения записи и $\bar{K}1$, $\bar{K}1$ для разрешения или запрета чтения содержимого памяти.



Выводы 13 и 14 (выходы Q и $\bar{Q}$) обслуживают инверторы, имеющие состояние разомкнуто Z . Бит хранения данных вносится в память по выбранному адресу $A0...A7$ через вход D . Как адрес ячейки записи, так и адрес ячейки считывания выбираются в произвольном порядке. Для чтения и записи на вход $\overline{CS}$ следует подать напряжение низкого уровня. Напряжением высокого уровня на входе $\overline{CS}$ эти операции запрещаются, а выходы переходят в Z -состояние. В моменты высокого уровня на входе $\overline{CS}$ можно менять адреса ячеек независимо от уровня на входе $\overline{R}/W$. Вход $\overline{CS}$ в схемах, где объединяется много корпусов РУ2, служит сигналом выбора отдельного корпуса.

Выходы Q и $\bar{Q}$ станут активными (чтение), если на обоих входах $\overline{CS}$ и $\overline{R}/W$ уровни низкие. Если на входе $\overline{R}/W$ сменить уровень на высокий, можно записать бит информации.

Оперативное запоминающее устройство РУ2 по-

Режим работы ОЗУ К176РУ2

Режим работы	Код адреса	Вход			Выход
		$\overline{CS}$	$\overline{R}/W$	D	
Запись 0	Фиксируется	H	B	H	Z
Запись 1	»	H	B	B	Z
Чтение	»	H	H	$\times$	1/0
Чтение и запись	*	H	H/B	$\times$	1/0 или Z
Перемена адреса	Меняется	B	$\times$	$\times$	Z

требляет статическую мощность 10 нВт; время выборки из памяти составляет 380 нс. На вход D надо подавать напряжения высоких и низких уровней КМОП. Выходы ОЗУ могут обслуживать входы микросхем ТТЛ.

Данное ОЗУ удобно для систем с шинной структурой (имеется Z -состояние выходов, входы записи D и выходы $Q, \bar{Q}$ —раздельные).

10. Микросхемы: ФАП и мультивибратор

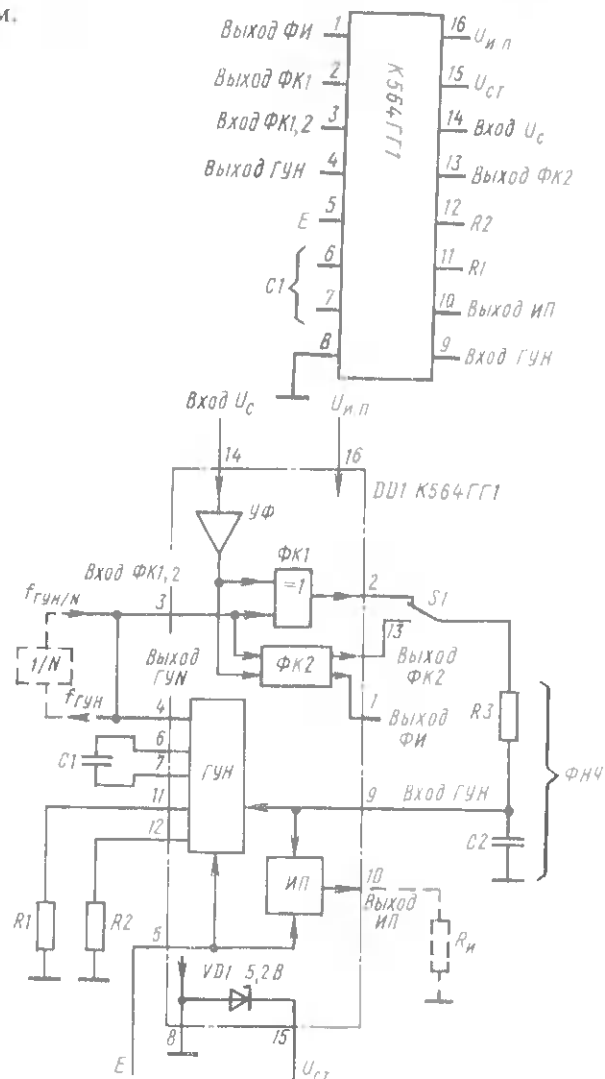
В дополнение к чисто цифровым среди КМОП имеются аналого-цифровые микросхемы: устройство для построения петли фазовой автоподстройки (ФАП) и ждущий мультивибратор. Обе микросхемы упрощают решение ряда задач: затягивание импульсов; синтез частот, кратных опорной; синхронизация логического устройства под приходящий сигнал; генерация опорных сеток; преобразование напряжение-частота.

Микроомощная цифровая микросхема ФАП К564ГГ1 (эквивалентная замена— $CD4046B$) содержит следующие внутренние узлы: генератор, управляемый напряжением (ГУН); два фазовых компаратора: ФК1—«искл. ИЛИ» и ФК2—триггерная схема; усилитель-формирователь УФ; выходной истоковый повторитель ИП. Для удобства применения на кристалле микросхемы изготовлен источник опорного напряжения—стабилитрон с напряжением 5,2 В. Рассмотрим действие отдельных частей микросхемы ФАП К564ГГ1, составляющих полную схему так называемой петли ФАП.

Узел ГУН—основа ФАП. Он обеспечивает линейность преобразования напряжение-частота лучше 1%. Для установки свободной, неуправляемой частоты ГУН f_0 и диапазона девиации этой частоты $\Delta f_{сдв}$ требуется три внешних элемента: конденсатор $C1$ и резисторы $R1, R2$. Элементы $R1$ и $C1$ фиксируют свободную частоту генерации, с помощью $R2$ этой частоте можно дать постоянный сдвиг.

Частота выходных импульсов ГУН (на выходе 4) называется свободной, если на входе управления частотой ГУН (на выводе 9) напряжение отсутствует. В петле ФАП на вход ГУН (вывод 9) поступает напряжение ошибки. Оно снимается с внешнего фильтра низкой частоты—ФНЧ: $R3, C2$, где импульсный сигнал, генерируемый одним из фазовых компараторов ФК1 или ФК2, сглаживается. Выбрать выход компаратора позволяет переключатель $S1$. Управляющий

сигнал ГУН имеется и на выводе 10—исток повторителя. Для правильной работы повторителя требуется подключить внешний резистор нагрузки $R_4 > 10$ кОм. Если этот выход не нужен, вывод 10 оставьте свободным.

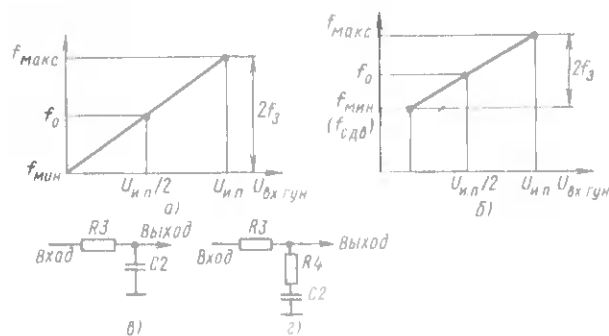


Петля ФАП состоит из трех узлов: ГУН, ФК1 (или ФК2) и фильтра низкой частоты ФНЧ. Фильтр НЧ образуют резистор $R3$ и конденсатор $C2$. Как известно, особо опасна для работы системы ФАП вторая гармоника частоты ГУН. Поскольку входное сопротивление ГУН велико (до 10^{12} Ом), номинальная емкость конденсатора $C2$ в результате может быть небольшой. Входной цифровой сигнал U_c подается в петлю ФАП от входа 14 через усилитель УФ и поступает на сигнальные входы обоих компараторов ФК1 и ФК2. На вторые входы компараторов подается выходной меандр свободной частоты от выхода ГУН. На выходе ФК в начальный момент должно присутствовать напряжение ошибки, соответствующее разности частот сигнала U_c и свободной ГУН. Отфильтрованное сглаженное напряжение с конденсатора $C2$ поступает на вход ГУН (вывод 9) в такой фазе, чтобы частота ГУН стала приближаться к частоте сигнала U_c .

Некоторое время, таким образом, будет идти переходной процесс автоподстройки частоты. В конце этого процесса установится режим автоподстройки фазы, поскольку частоты будут равны. Затем петля ФАП с большой точностью уравнивает фазы сигнала и выходного напряжения ГУН. Полезными выходными сигналами петли ФАП могут быть как напряжение с выхода ФНЧ (выход повторителя, вывод 10), так и выходная частота $f_{гун}$ (вывод 4). Напряжение $U_{фнч}$ используется при демодулировании входного ЧМ-сигнала (получается ЧМ-детектор), а частота $f_{гун}$ — результат работы синтезатора частоты.

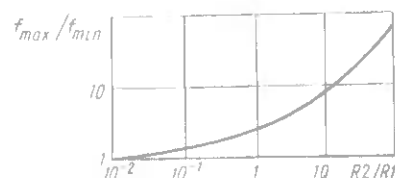
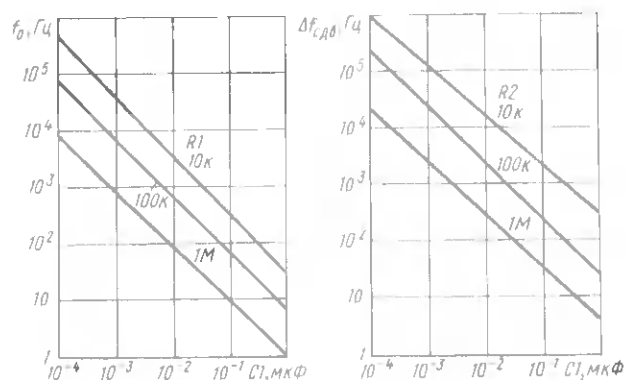
Центральную частоту ГУН f_0 (свободная частота ФАП, работающей с компаратором ФК1) можно выбрать по графику. Выбранную частоту f_0 следует сместить, сдвинуть на величину $\Delta f_{сдв}$, если вывод 12 микросхемы и нулевой провод соединить через резистор $R2$. Значение частоты сдвига $\Delta f_{сдв}$ можно определить по другой диаграмме. Необходимо учесть, что от экземпляра к экземпляру микросхем выбранные значения f_0 и $\Delta f_{сдв}$ могут меняться даже на 20%.

На третьем графике показана зависимость максимальной f_{max} и минимальной f_{min} частот от отношения номиналов $R2/R1$. Здесь f_{max} определяется, когда $U_{вхГУН}=U_{н.п.}$, а f_{min} , если $U_{вхГУН}=0$. Значение частоты f_{max} составляет 1.5 МГц ($U_{н.п.}=15$ В); при $U_{н.п.}=5$ В $f_{max}=0.5$ МГц.

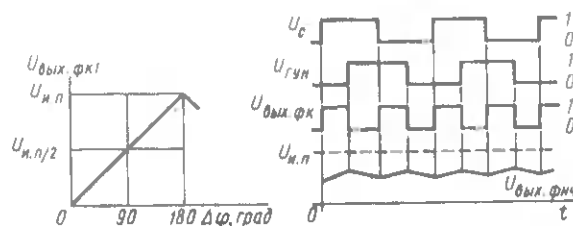


Для синтеза частот, кратных входной частоте сигнала U_c , выход ГУН (вывод 4) присоединяется ко входам ФК (вывод 3) через внешний цифровой делитель частоты в N раз. Тогда выходная частота ГУН будет в N раз выше, чем основная. Для схем синтеза частот необходимы счетчики с предварительной записью, а также реверсивные и программируемые; можно использовать счетчики К176ИЕ4, К561ИЕ9 и К561ИЕ10.

У схемы ГУН имеется вход разрешения E . Напряжение низкого уровня на этом входе разрешает работу схеме ГУН и истоковому повторителю. Если требуется уменьшить мощность потребления в режиме ожидания, на вход разрешения E следует подать напряжение высокого уровня. Номиналы внешних элементов следует выбирать в пределах: $R1, R2 \geq 10$ кОм, $R_i \leq 1$ МОм; $C1 > 100$ пФ (при $U_{н.п.}=5$ В) и $C1 > 50$ пФ (при $U_{н.п.}=10$ В).



Фазовые компараторы ФК1 и ФК2 имеют общие входы (вывод 3). На внешний вывод 3 следует подавать сигнал только логики КМОП: уровень логического нуля ниже $0.3U_{и.п.}$, логической единицы — выше $0.7U_{и.п.}$. Сигналы с меньшей амплитудой можно подавать через емкость и дополнительный усилительный каскад. ФК1 — простой каскад исключаящее ИЛИ. Для хорошей его работы и увеличения диапазона захвата ФАП требуется строго симметричный входной меандр U_c . Схема ФК1 такова, что без входного сигнала (или помехи) на ее выходе имеется потенциал $U_{и.п.}/2$, под действием которого ГУН должен генерировать на центральной частоте диапазона f_0 . С этим компаратором ФК1 полоса захвата петли ФАП остается в заданных пределах при сильных помехах. ФК1 лучше обеспечивает слежение ФАП на частотах, близких к гармоникам центральной частоты ГУН f_0 . Особенность применения ФК1 в том, что фазовый угол между сигналом и выходом компаратора $U_{вых. ФК}$ меняется от 0 до 180° . На центральной частоте ГУН этот угол равен 90° — четверть периода, когда между напряжением сигнала U_c и напряжением

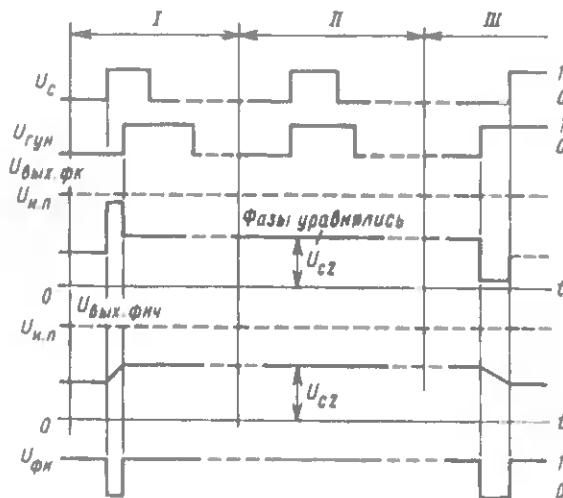


ГУН $U_{ГУН}$ существует равенство частот f_0 и угол сдвига соответствует $1/4$ периода. В такой момент выходное напряжение ФК1 представляет собой меандр с удвоенной частотой ГУН (третья линия на диаграмме). Постоянная составляющая такого меандра $U_{и.п.}/2$, однако даже после хорошего ФНЧ выходное напряжение $U_{вых. ФНЧ}$ имеет некоторую составляющую второй гармоники частоты ГУН (четвертый график диаграммы). Эта помеха в петле ФАП наиболее трудно устранимая. Полоса захвата ФАП с использованием ФК1 определяется полосой ФНЧ.

Схема ФК2 представляет собой четырехтриггерное ЗУ с логикой управления. Чтобы ФК2 и ФК1 работали на общий выход, схема ФК2 имеет третье состояние Z. ФК2 запускается положительными перепадами входных импульсов, поэтому скважность приходящих прямоугольных импульсов сигнала U_c не имеет значения. Показано пять осциллограмм для петли ФАП, работающей с ФК2.

Если частота входного сигнала больше (или меньше), чем частота ГУН, выходной каскад ФК2 находится в разомкнутом Z-состоянии. Когда частоты равны, но сигнал отстает по фазе от напряжения ГУН, выходное напряжение ФК2 будет находиться на низком уровне. Если отстает по фазе напряжение ГУН от напряжения сигнала U_c , на выходе ФК2 появится напряжение высокого уровня. Высокий или низкий уровень на выходе ФК2 будет удерживаться до тех пор, пока существует разность фаз. На выходе ФНЧ (конденсатор $C2$, см. схему ФАП) напряжение U_{C2} скачком изменяться не может, поэтому уравнивание фазы $U_{вых. ГУН}$ с фазой сигнала U_c потребует некоторого времени.

После уравнивания фаз оба n- и p-канальные выходные транзисторы ФК2 размыкаются, выход переходит в Z-состояние, следовательно, на конденсаторе $C2$ будет храниться потенциал, соответствующий равенству фаз. Соответственно управляющему напряжению U_{C2} будет зафиксирована частота ГУН. ФК2 имеет специальный выход фазовых импульсов ФИ. По уровню напряжения $U_{ФИ}$ можно видеть, находится ли ФАП в режиме слежения (высокий уровень) или подстройки (низкий уровень ФИ). Таким образом, при использовании ФК2 разность фаз между U_c и



$U_{ГУН}$ в момент слежения петли равна нулю. В это время ФК2 потребляет минимум тока, поскольку его выходной каскад разомкнут. Полосы слежения и захвата ФАП с ФК2 совпадают и не определяются свойствами ФНЧ.

Если сигнала U_c нет, ГУН настраивается на самую низкую частоту своего диапазона под воздействием минимального напряжения $U_{вых. ФК}$. На диаграмме сигналов ФАП отмечены три периода. Считаем, что частоты U_c и $U_{ГУН}$ равны. На этапе I фаза U_c опережает фазу $U_{ГУН}$. После переходного процесса подстройки (ему по времени соответствует отрицательный импульс $U_{ФИ}$), фазы уравниваются, так как напряжение U_{C2} повышается. Это напряжение сохра-

няется на протяжении этапа II, когда удерживается равенство фаз.

На этапе III соотношение входных фаз сигнальной U_c и опорной $U_{гун}$ последовательностей импульсов обратное, поэтому для уравнивания их напряжение U_{c2} должно несколько уменьшиться.

Этот рисунок поясняет соответствующие графы таблицы «Особенности применения ФК».

Особенности применения фазовых компараторов ФК1 и ФК2 микросхемы К564ГГ1

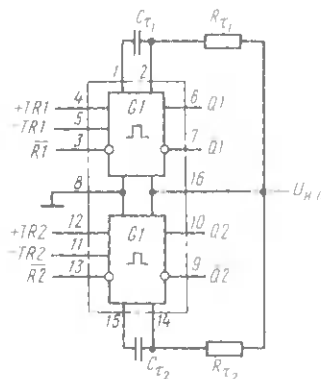
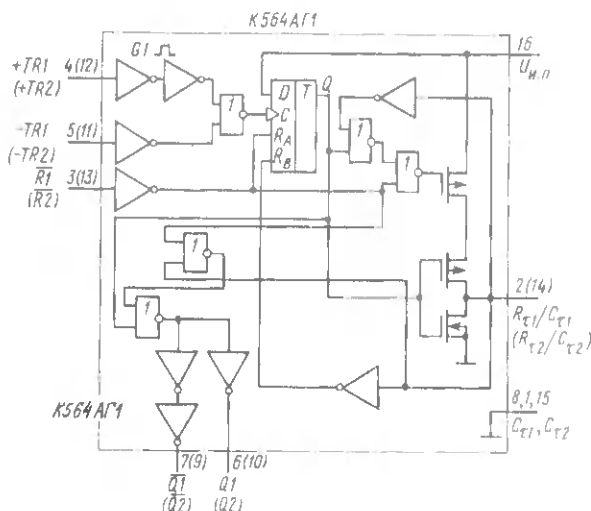
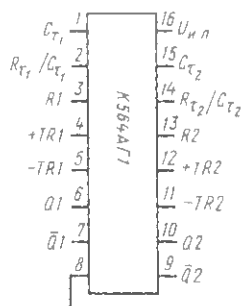
Характеристики петли ФАП	Фазовый компаратор	Особенности применения ФК1 и ФК2
Выбор частоты ГУН и полосы захвата $2f_z$	ФК1, ФК2	Полоса захвата $2f_z$ выбирается без сдвига или со сдвигом
Частоты ГУН без сигнала U_c	ФК1 ФК2	$f_{ГУН} \rightarrow f_0$ $f_{ГУН} \rightarrow f_{min}$
Диапазон $2f_z$	ФК1, ФК2	$2f_z = f_{max} - f_{min}$
Диапазон слежения $2f_{сл}$	ФК2	$f_{сл} = f_z$
Фазовый угол между U_c и $U_{гун}$	ФК1 ФК2	При $f_0 = f_{ГУН}$ $\Delta\varphi = 90^\circ$ при $f_{min} = f_{ГУН}$ $\Delta\varphi = 0^\circ$ при $f_{max} = f_{ГУН}$ $\Delta\varphi = 180^\circ$ В полосе $2f_z$ $\Delta\varphi = 0^\circ$
Слежение на гармонике f_0	ФК1 ФК2	Обеспечивает Нет
Степень подавления помех	ФК1 ФК2	Большая Малая

Микросхема К564АГ1 содержит два ждущих мультивибратора (ЖМВБР) со входами перезапуска и предварительной установки в ноль (сброса). Автогенератор строится на двух ЖМВБР по кольцевой схеме.

Каждый мультивибратор имеет два выхода Q и $\bar{Q}$. Мультивибратор можно запускать любым перепадом запускающего импульса. Вход $+TR$ принимает нарастающий перепад его, а выход $-TR$ —спадающий. Неиспользуемые входы при этом следует присоединить: $-TR$ к $U_{и.п.}$, а $+TR$ —к земле. Вход сброса R используется для укорачивания выходного импульса, либо для предотвращения появления выходного импульса, когда включается напряжение питания.

Если вход R не нужен, его присоединяют к $U_{и.п.}$, однако у неиспользуемого мультивибратора вывод следует заземлить.

Для предотвращения перезапуска (если для запуска используется нарастающий фронт) вывод $\bar{Q}$ надо присоединить ко входу $-TR$. Соответственно Q следует соединить с $+TR$, если запускающий фронт—отрицательный. Период импульса можно подсчитать приближенно: $t_{ж} = 1/2 R_{\tau} C_{\tau}$ для $C_{\tau} \geq 0.01$ мкФ. Более точно, но без учета разброса параметров экземпляров, вариаций, температуры и напряжения значения R_{τ} и C_{τ} можно определить по диаграмме.



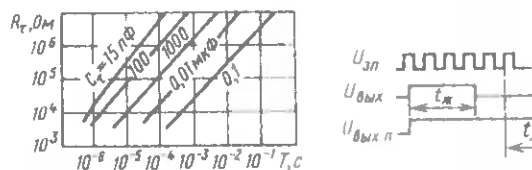
Для первого или второго мультивибраторов МВБР1 и МВБР2 можно составить схемы применения с про-

стым запуском и с перезапуском как положительным, так и отрицательным перепадами.

Режимы мультивибраторов микросхемы К564АГ1

Запускающий перепад	Функция схемы	Напряжение $U_{н.п.}$ подается на выходы		Заземляются выводы		Входной импульс подается на выходы		Дополнительные перемычки	
		МВБР1	МВБР2	МВБР1	МВБР2	МВБР1	МВБР2	МВБР1	МВБР2
Положительный	С перезапуском	3,5	11,13			4	12		
	Без перезапуска	3	13			4	12	5—7	11—9
Отрицательный	С перезапуском	3	13	4	12	5	11		
	Без перезапуска	3	13			5	11	4—6	12—10
	Неиспользуемая часть	5	11	3,4	12,13				

Если выбрана схема мультивибратора с однократным запуском, время $t_{ж}$ отсчитывается от первого входного импульса $U_{зп}$. Период $t_{ж}$ для перезапускаемого мультивибратора отсчитывается от последнего входного импульса.



Показаны две схемы применения К564АГ1 (CD4098В). Первая из них—это генератор задержанного импульса, вторая—кольцевой автогенератор. В обеих схемах длительность периодов $T1$ и $T2$ устанавливается независимо элементами $C_{τ1}$, $R_{τ1}$ и $C_{τ2}$, $R_{τ2}$.

